

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-223350

(43)Date of publication of application : 17.08.2001

(51)Int.Cl. H01L 27/146

H04N 5/335

// H01L 31/10

(21)Application number : 2000-033929 (71)Applicant : FUJI FILM

MICRODEVICES CO LTD

FUJI PHOTO FILM CO LTD

(22)Date of filing : 10.02.2000 (72)Inventor : SUZUKI NOBUO

MASUKANE KAZUYUKI

(54) SOLID STATE IMAGE SENSING ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem of the manufacturing cost from rising accompanying with that a more high microprocessing technology is required for forming A/D conversion parts in the conventional MOS solid state image sensing elements containing the A/D conversion parts as the integration degree of the photoelectric conversion element is more elevated.

SOLUTION: A number of photoelectric conversion elements are arranged so as to offset pixels over a plurality of rows and a plurality of columns, and analog/digital conversion parts are disposed one to one on two columns among the plurality of photoelectric conversion element columns to obtain a MOS solid state image sensing element.

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]Cover a multi-line and plural lines on the surface of a semiconductor substrate, and Many optoelectric transducers which have been arranged by carrying out, ***** et al., It is the switching circuit part attached at a time to one each of many of said optoelectric transducers, A switching circuit part in which each contains a transistor for an output which can generate an electrical signal according to signal charge quantity accumulated in a corresponding optoelectric transducer, It is the signal wiring for line selection allocated one [at a time] along with this optoelectric-transducer line for every line of two or more of said optoelectric-transducer lines, Signal wiring for line selection used in order that

each may supply a line selection signal which controls generating of said electrical signal to each corresponding switching circuit part, A solid state image pickup device provided with a signal wire for an output which connects each of said transistor for an output of an analog-to-digital conversion part allocated in two rows per every piece of two or more of said photoelectric conversion element rows, and a switching circuit part corresponding to said photoelectric conversion element row of two rows each, and a corresponding analog-to-digital conversion part.

[Claim 2]The solid state image pickup device according to claim 1 with which one each of said signal wire for an output is allocated along with this photoelectric conversion element row for each every row of two or more of said photoelectric conversion element rows, and each of said analog-to-digital conversion part is allocated in two per every piece of said signal wires for an output.

[Claim 3]The solid state image pickup device according to claim 1 with which one each of said signal wire for an output is allocated between [each] on plane view of this 2 row photoelectric conversion element row every two rows of two or more of said photoelectric conversion element rows, and each of said analog-to-digital conversion part is allocated in one per every piece of said signal wires for an output.

[Claim 4]The solid state image pickup device according to any one of claims 1 to

3 which has the 1st scanning section that supplies said line selection signal to each of said signal wiring for line selection to predetermined timing.

[Claim 5]The solid state image pickup device according to claim 4 which has the 1st control section that controls operation of said 1st scanning section.

[Claim 6]It has the power-supply-voltage supply wiring used in order to electrically be connected to each of said transistor for an output and to supply power supply voltage to this transistor for an output, Each of said transistor for an output receives a signal according to signal charge quantity accumulated in a corresponding optoelectric transducer in the control terminal, Each of a switching circuit part of said appointed number is the transistor for line selection by which the series connection was carried out to said transistor for an output further, The solid state image pickup device according to any one of claims 1 to 5 by which said series connection is connected including a transistor for line selection which receives said line selection signal in the control terminal between a corresponding signal wire for an output, and said power-supply-voltage supply wiring.

[Claim 7]Each of said switching circuit part is the reset transistor electrically further connected to a corresponding optoelectric transducer, A reset transistor connected between a control terminal of said transistor for an output and said power-supply-voltage supply wiring is included, It is the reset signal supply

wiring allocated one [at a time] along with this optoelectric-transducer line for every line of two or more of said optoelectric-transducer lines, The solid state image pickup device according to any one of claims 1 to 6 with which each has the reset signal supply wiring electrically connected to a corresponding control terminal of a reset transistor.

[Claim 8]The solid state image pickup device according to claim 7 which has the 2nd scanning section that supplies a control signal for said reset transistors to each of said reset signal supply wiring to predetermined timing.

[Claim 9]The solid state image pickup device according to claim 8 which has the 2nd control section that controls operation of said 2nd scanning section.

[Claim 10]Each of said switching circuit part is the transistor for transmission electrically further connected to a corresponding optoelectric transducer, A transistor for transmission connected between said corresponding optoelectric transducer and said transistor for an output is included, It is the transfer control signal supply wiring allocated one [at a time] along with this optoelectric-transducer line for every line of two or more of said optoelectric-transducer lines, The solid state image pickup device according to any one of claims 1 to 9 with which each has the transfer control signal supply wiring electrically connected to a corresponding control terminal of a transistor for transmission.

[Claim 11]The solid state image pickup device according to claim 10 which has the 3rd scanning section that supplies a control signal for said transistors for transmission to each of said transfer control signal supply wiring to predetermined timing.

[Claim 12]The solid state image pickup device according to claim 11 which has the 3rd control section that controls operation of said 3rd scanning section.

[Claim 13]The solid state image pickup device comprising according to any one of claims 1 to 12:

The sample / the hold-circuit unit in which each of said analog-to-digital conversion part contains a capacitor

The analog/digital converter which changes an output from this the sample / hold-circuit unit into said digital signal

[Claim 14]A comparator [reference voltage signal / pressure value / to which each of said analog/digital converter is outputted from said the sample / hold-circuit unit] characterized by comprising the following.

A comparator which generates an error signal when said reference voltage signal supplied from the outside of this comparator and a pressure value outputted from said the sample / hold-circuit unit cross.

Latch circuitry which is the latch circuitry to which said error signal and a count

signal are supplied, and it holds when counted value of said count signal supplied from the outside of this latch circuitry is supplied to said error signal, and outputs a coincidence signal.

[Claim 15]The solid state image pickup device according to any one of claims 1 to 14 which has the 4th control section that controls operation of each of said analog-to-digital conversion part.

[Claim 16]The solid state image pickup device according to any one of claims 1 to 15 which has a buffer memory section which can hold temporarily said digital signal outputted from each of said analog-to-digital conversion part, and can output each of this digital signal outside.

[Claim 17]The solid state image pickup device according to claim 16 which has the 5th control section that controls operation of said buffer memory section.

[Claim 18]The solid state image pickup device comprising according to any one of claims 1 to 17:

A colored filter allocated in the one upper part of each of many of said optoelectric transducers at a time.

A micro lens allocated in the one upper part of each of said colored filter at a time.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a solid state image pickup device, and relates to the MOS type solid state image pickup device especially provided with the analog/digital converter.

[0002]

[Description of the Prior Art] Since the mass production technology of CCD (charge coupled device) was established, the apparatus which used the CCD type solid state image pickup device as a line sensor or an area image sensor has spread quickly.

[0003] The MOS type solid state image pickup device in connection with the spread of portable remote terminals in which power consumption is smaller than a CCD type solid state image pickup device on the other hand, Development of the MOS type solid state image pickup device which attained highly-efficient-izing and low cost-ization is furthered by making an analog-to-digital conversion part (it is hereafter written as an "A/D conversion part".) build in especially. An A/D conversion part is constituted including the

analog/digital converter (it is hereafter written as an "A/D converter".) which follows this, for example with a sample / the hold-circuit unit.

[0004]Many optoelectric transducers by which the MOS type solid state image pickup device was formed in the 1 surface side of a semiconductor substrate at matrix form (for example, photo-diode), It has the switching circuit part attached for every optoelectric transducer, and the signal wire for an output which connects a switching circuit part and an A/D conversion part for every photoelectric conversion element row. Each switching circuit part contains the transistor for an output. This transistor for an output can make the signal wire for an output generate the electrical signal according to the signal charge quantity accumulated in the corresponding optoelectric transducer. To be low resistance is desired and the signal wire for an output is usually formed with a metallic material.

[0005]An A/D conversion part is connected to the end of each signal wire for an output in the conventional MOS type solid state image pickup device which contained the A/D conversion part. The electrical signal generated in the signal wire for an output is inputted into an A/D conversion part via the signal wire for an output by the transistor for an output. An analog voltage signal is usually inputted into an A/D conversion part. An A/D conversion part outputs the digital signal according to the inputted analog voltage signal to a buffer memory.

[0006]Generating of an electrical signal with the transistor for an output is controlled, for example per optoelectric-transducer line. This control can be performed by controlling operation of each switching circuit part per optoelectric-transducer line. Therefore, one signal wiring for line selection is allocated for every optoelectric-transducer line.

[0007]The line selection signal for controlling the operation is transmitted to each corresponding switching circuit part via the signal wiring for line selection.

[0008]When the scanning sections which supply a line selection signal to each of the signal wiring for line selection to predetermined timing are many, it is formed on the same semiconductor substrate.

[0009]The "photoelectric conversion element row" as used in this specification refers to "the row of an optoelectric transducer" arranged along the extending direction of an output signal line among "the rows of an optoelectric transducer" arranged at matrix form. The "optoelectric-transducer line" in "the row of an optoelectric transducer" arranged at matrix form points out "the row of an optoelectric transducer" arranged in accordance with the direction which crosses in the direction of a photoelectric conversion element row.

[0010]Operation of a scanning section, an A/D conversion part, a buffer memory, etc. which were mentioned above is controlled by a control section. In many cases, this control section is formed on the same semiconductor substrate.

[0011]The MOS type solid state image pickup device which contained the A/D conversion part can reduce power consumption to about 1 / five to 1/10 compared with a CCD type solid state image pickup device.

[0012]

[Problem(s) to be Solved by the Invention]The resolution of a solid state image pickup device is raised, and also it is [from] preferred to form as many optoelectric transducers as possible with high density. When forming many optoelectric transducers on the semiconductor substrate of one sheet, a chip size can be reduced by miniaturizing each pixel or an optoelectric transducer and arranging with high density. Low cost-ization can also be attained in connection with it.

[0013]However, the more the degree of location of the optoelectric transducer on a semiconductor substrate increases, the more the pitch of the photoelectric conversion element array in an optoelectric-transducer line writing direction decreases. That is, the pitch of photoelectric conversion element rows decreases. The pitch of A/D conversion parts also decreases in the MOS type solid state image pickup device which contained the A/D conversion part in connection with this.

[0014]In the conventional MOS type solid state image pickup device which contained the A/D conversion part, one signal wire for an output of a

photoelectric conversion element row per row is allocated, and an A/D conversion part is connected to one signal wire [one] for an output at a time. The sample / the hold-circuit unit of the A/D conversion part are provided with the capacitor (capacitor) whose electric capacity is comparatively large in order to hold an analog voltage signal stably.

[0015]For example, if a degree of location is raised until the pitch of the optoelectric transducers of an optoelectric-transducer line writing direction is set to about 4 micrometers, when forming an A/D conversion part, advanced ultra-fine processing technology will come to be required. The manufacturing cost increases in connection with this.

[0016]The purpose of this invention is the MOS type solid state image pickup device which contained the A/D conversion part, and there is raising the degree of location of an optoelectric transducer in providing an easy MOS type solid state image pickup device, controlling increase of a manufacturing cost.

[0017]

[Means for Solving the Problem]According to one viewpoint of this invention, cover a multi-line and plural lines on the surface of a semiconductor substrate, and Many optoelectric transducers which have been arranged by carrying out, ***** et al., It is the switching circuit part attached at a time to one each of many of said optoelectric transducers, A switching circuit part in which each contains a

transistor for an output which can generate an electrical signal according to signal charge quantity accumulated in a corresponding optoelectric transducer, It is the signal wiring for line selection allocated one [at a time] along with this optoelectric-transducer line for every line of two or more of said optoelectric-transducer lines, Signal wiring for line selection used in order that each may supply a line selection signal which controls generating of said electrical signal to each corresponding switching circuit part, An analog-to-digital conversion part allocated in two rows per every piece of two or more of said photoelectric conversion element rows, A solid state image pickup device provided with a signal wire for an output which connects each of said transistor for an output of a switching circuit part corresponding to said photoelectric conversion element row of two rows each and a corresponding analog-to-digital conversion part is provided.

[0018]By [***** et al.] arranging by carrying out, an effectual degree of location of an optoelectric transducer on a semiconductor substrate can be raised for many optoelectric transducers.

[0019]here, it says on these specifications -- "-- a pixel -- it shifting and with arrangement." As opposed to each optoelectric transducer which constitutes a photoelectric conversion element row which hits the oddth, Each of an optoelectric transducer which constitutes a photoelectric conversion element row

which hits the eventh, It shifts to about $1/2$ of pitch P_1 of the optoelectric transducers within each photoelectric conversion element row, and a column direction, As opposed to each optoelectric transducer which constitutes an optoelectric-transducer line which hits the oddth, Each of an optoelectric transducer which constitutes an optoelectric-transducer line which hits the eventh shifts to about $1/2$ of pitch P_2 of the optoelectric transducers within each optoelectric-transducer line, and a line writing direction, and each of an optoelectric-transducer line means arrangement of many optoelectric transducers containing only an optoelectric transducer of an odd number sequence or an even number sequence. Above pitch P_1 and above pitch P_2 may be the same values, and may be a different value.

[0020]With "about $1/2$ " of pitch P_1 of optoelectric transducers. Although it has shifted from $P_1/2$ by factors, such as a rounding error etc. of a picture element position which $P_1/2$ are included and also happens on a manufacture error, a design, or mask manufacture, In view of performance of a solid state camera obtained, and image quality of the picture, a value it can consider that is equivalent to $P_1/2$ substantially shall also be included. The same may be said of "about $1/2$ " as used in this specification of pitch P_2 of optoelectric transducers.

[0021]When [***** et al.] it has arranged by carrying out, one optoelectric-transducer line contains only an optoelectric transducer of an

optoelectric transducer of an even number sequence, or an odd number sequence for many optoelectric transducers. A signal wire for an output is made to generate an electrical signal to different timing from a transistor for an output corresponding to an optoelectric transducer of an odd number sequence, and a transistor for an output corresponding to an optoelectric transducer of an even number sequence.

[0022]Therefore, by allocating an A/D conversion part in two rows per every piece of a photoelectric conversion element row, an electrical signal which a corresponding transistor for an output generated can be received individually, and a corresponding digital signal can be generated.

[0023]At this time, one signal wire for an output is allocated in each one row of a photoelectric conversion element row along with the photoelectric conversion element row concerned, and it allocates an A/D conversion part in two signal wires [one] for an output at a time.

[0024]Or one signal wire for an output can be allocated every two rows of a photoelectric conversion element row between [each] on the plane view concerned of a photoelectric conversion element row of two rows, and an A/D conversion part can also be allocated in one per every piece of these signal wires for an output. Thereby, the number of signal wires for an output can be decreased.

[0025]In any case, a total of an A/D conversion part can be reduced to conventional one half. Even if it is a case where an effectual degree of location of an optoelectric transducer is raised, as the result, it becomes possible to form an A/D conversion part, without using advanced ultra-fine processing technology. In connection with this, it becomes possible to control a manufacturing cost.

[0026]

[Embodiment of the Invention]Hereafter, the solid state image pickup device by an example is explained using a drawing.

[0027]First, the MOS type solid state image pickup device by the 1st example is explained using a drawing.

[0028]Drawing 1 (a) is a top view showing typically the MOS type solid state image pickup device 100 by the 1st example. As shown in the figure, in the MOS type solid state image pickup device 100, many optoelectric transducers 10 which are from a photo-diode on the 1 surface side of the semiconductor substrate 1 carry out [*****], and are arranged. In the composition by which the graphic display was simplified, the MOS type solid state image pickup device 100 covers eight rows of 16 lines, and has a total of 64 optoelectric transducers 10 which have been arranged by carrying out, ***** et al. In a actual MOS type solid state image pickup device, the total of an optoelectric transducer reaches several 100,000 - a 1 million number.

[0029]When the semiconductor substrate 1 consists of a n type silicon substrate provided with the p type well, each optoelectric transducer 10 can be obtained by forming a n type region in the prescribed spot of the aforementioned p type well, for example. The optoelectric transducer 10 which consists of an embedding type photo-diode can be obtained by forming a p⁺ type layer in the surface of the aforementioned n type region.

[0030]Each of the optoelectric transducer 10 is enclosed on plane view except for the portion used as a read-out gate by the p⁺ type channel stop region formed in the semiconductor substrate 1, or the field oxide formed in the semiconductor substrate 1. The impurity concentration of the above-mentioned p⁺ type region is higher than the impurity concentration of a p type well.

[0031]the switching circuit part which omitted the graphic display in drawing 1 (a) is attached for every each of the optoelectric transducer 10. Each switching circuit part contains the transistor for an output which can generate the detection electrical signal according to the signal charge quantity accumulated in the corresponding optoelectric transducer 10.

[0032]One signal wiring for line selection which omitted the graphic display is allocated in each one line of the optoelectric-transducer line 12. Each signal wiring for line selection extends along with the corresponding optoelectric-transducer line 12. Each signal wiring for line selection is electrically

connected via each and the switching circuit part of the optoelectric transducer 10 in the corresponding optoelectric-transducer line 12. Such signal wiring for line selection is formed on the semiconductor substrate 1, for example via an electrical insulation layer.

[0033]A total of the one signal wire [eight] 30 for an output is allocated in each photoelectric conversion element row 11 of one row. Each signal wire 30 for an output extends along with a corresponding photoelectric conversion element row on the left-hand side (left-hand side in the inside of drawing 1 (a)).

[0034]Each signal wire 30 for an output is electrically connected via each and the switching circuit part of the optoelectric transducer 10 in the corresponding photoelectric conversion element row 11. The transistor for an output in each switching circuit part can generate the detection electrical signal according to the signal charge quantity accumulated in the corresponding optoelectric transducer 10 in the corresponding signal wire 30 for an output.

[0035]As for the signal wire 30 for an output, it is desirable that it is low resistance. In sending especially current and obtaining an output, in order to obtain a stable output, it is desirable to make the signal wire 30 for an output into low resistance. For example, the signal wire 30 for an output is formed with metallic materials, such as aluminum, an aluminum alloy, copper, tungsten, a tungsten alloy, molybdenum, and a molybdenum alloy.

[0036]The metal signal wire 30 for an output is formed on the semiconductor substrate 1 via the electrical insulation layer which omitted the graphic display. A conductive layer is formed in the semiconductor substrate 1, it may combine with the conductive layer on a substrate, and the signal wire 30 for an output may be formed.

[0037]In drawing 1 (a), each signal wire 30 for an output is linearly drawn in accordance with the photoelectric element sequence 11 for convenience. However, each signal wire 30 for an output can be made to move in a zigzag direction so that it may mention later.

[0038]One A/D conversion part [a total of four] 40 is allocated on [each] the semiconductor substrate 1 by the two signal wires 30 for an output. the two signal wires 30 for an output in which each A/D conversion part 40 corresponds -- it is alike, respectively and is electrically connected.

[0039]The A/each D converter 40 is constituted including A/D converter 45. For example, a sample / the hold-circuit unit 41 is allocated between each A/D converter 45 and the two signal wires 30 for an output corresponding to this. It generates one by one and each of A/D converter 45 outputs the digital signal according to the detection electrical signal generated in the two corresponding signal wires 30 for an output.

[0040]A detection electrical signal does not occur simultaneously to each of the

two signal wires 30 for an output corresponding to the one A/D conversion part 40 since [***** et al.] it is arranged by carrying out in many optoelectric transducers 10. the two signal wires 30 for an output corresponding to the one A/D conversion part 40 -- the -- it sometimes comes out and a detection electrical signal occurs only in either.

[0041]The buffer memory section 50 is connected to the A/each D converter 40, for example by digital bus. This buffer memory section 50 can be constituted, for example using semiconductor storage cells, such as DRAM and SRAM.

[0042]The buffer memory section 50 can hold temporarily the digital signal outputted from each of the A/D conversion part 40 (A/D converter 45), and can output each of the held digital signal outside.

[0043]The scanning section 60 is allocated in the left brink part in drawing 1 (a) in the semiconductor substrate 1, for example. This scanning section 60 has a function as the 1st scanning section that supplies a line selection signal to each of the signal wiring for line selection which omitted the graphic display to predetermined timing.

[0044]The shift register which the scanning section 60 receives the control signal supplied from the control section 70 at a vertical blanking period as an input signal, for example, and carries out a shift action by a horizontal synchronizing pulse, The output signal of each stage of a shift register and the control signal

supplied from the control section 70 at a horizontal blanking period are constituted including the circuit etc. which supply a logical product with an input signal as a line selection signal.

[0045]The control section 70 is allocated in the lower left edge in drawing 1 (a) in the semiconductor substrate 1, and is electrically connected to a sample / the hold-circuit unit 41, A/D converter 45, the buffer memory section 50, and the scanning section 60. This control section 70 serves as the 1st control section that controls operation of the 1st scanning section, the 4th control section that controls operation of the A/D conversion part 40, and the 5th control section that controls operation of the buffer memory section 50.

[0046]The control section 70 is constituted, for example including a clock counter, circuit generating reference voltage, a clock generation circuit, vertical and a horizontal synchronizing pulse generation circuit, various control signal generating circuits, etc.

[0047]Drawing 1 (b) is a key map showing one of the switching circuit part 20 which omitted the graphic display in drawing 1 (a).

[0048]Each of the switching circuit part 20 is electrically connected to the corresponding optoelectric transducer 10 and the corresponding signal wire 30 for an output. It is electrically connected also with the signal wiring 25 for line selection which omitted the graphic display in drawing 1 (a).

[0049]Each signal wiring 25 for line selection is formed, for example with conductive materials, such as polysilicon, a polycide (lamination with polysilicon and silicide), tungsten, a tungsten alloy, molybdenum, and a molybdenum alloy.

[0050]The switching circuit part 20 contains the transistor 21 for an output. A line selection signal is supplied to the switching circuit part 20 via the signal wiring 25 for line selection to predetermined timing from the scanning section 60 which has a function as the 1st scanning section, the 1st scanning section formed on another chip, etc. The transistor 21 for an output in the switching circuit part 20 to which the line selection signal was supplied can generate the detection electrical signal according to the signal charge quantity accumulated in the corresponding optoelectric transducer 10 in the signal wire 30 for an output.

[0051]The composition in particular of such a switching circuit part 20 is not limited. For example, it is also possible to connect the optoelectric transducer 10 to the current terminal for an output of the transistor 21 for an output.

[0052]For example, the series connection of the transistor for line selection is carried out between the transistor 21 for an output, and the signal wire 30 for an output corresponding to this. The transistor for line selection controls that the transistor for an output makes the corresponding signal wire 30 for an output generate a detection electrical signal. At this time, the corresponding signal wiring 25 for line selection is electrically connected to the control terminal of the

transistor for line selection. The transistor 21 for an output receives the signal according to the signal charge quantity accumulated in the corresponding optoelectric transducer 10 in the control terminal, and power supply voltage is supplied to the remaining current terminals (drain).

[0053]For example, a reset transistor is attached to the optoelectric transducer 10. A reset transistor controls the operation which discharges the signal charge accumulated in the optoelectric transducer 10 which finished generating the detection electrical signal, for example to power-supply-voltage supply wiring. Therefore, the control terminal of a reset transistor is electrically connected to reset signal supply wiring. Reset signal supply wiring supplies a reset signal to a corresponding reset transistor to predetermined timing. A reset transistor will make it possible to be turned on and to discharge a signal charge from the corresponding optoelectric transducer 10 for example, to power-supply-voltage supply wiring, if a reset signal is inputted.

[0054]For example, the transistor for transmission is attached to the optoelectric transducer 10. It is connected between the corresponding optoelectric transducer 10 and the transistor 21 for an output, and the transistor for transmission controls supply of the signal from the optoelectric transducer 10 to the control terminal of the transistor 21 for an output. Therefore, the control terminal of the transistor for transmission is electrically connected to transfer

control signal supply wiring. Transfer control signal supply wiring supplies a transfer control signal to the corresponding transistor for transmission to predetermined timing. It will be turned on and the transistor for transmission will enable supply of the signal from the corresponding optoelectric transducer 10 to the transistor 21 for an output, if a transfer control signal is inputted.

[0055]Drawing 2 is a representative circuit schematic showing an example of the switching circuit part 20 attached to each of the optoelectric transducer 10 in the MOS type solid state image pickup device 100. About what was already shown in drawing 1 (a) or drawing 1 (b) among the components shown in the figure, the same numerals as the numerals used by drawing 1 (a) or drawing 1 (b) are attached, and the explanation is omitted.

[0056]Each of the switching circuit part 20 shown in drawing 2 is constituted including the transistor 21 for an output, the transistor 22 for line selection, and every one reset transistor 23. These transistors consist of MOS transistors, for example.

[0057]Each control terminal (gate) of the transistor 21 for an output is electrically connected to the corresponding optoelectric transducer 10. Each drain of the transistor 21 for an output is electrically connected with the corresponding power-supply-voltage supply wiring 31.

[0058]The one power-supply-voltage supply wiring 31 is allocated in each one

row of the photoelectric conversion element row 11. Each power-supply-voltage supply wiring 31 extends along the left-hand side (left-hand side in the inside of drawing 2) of the corresponding photoelectric conversion element row 11. Power supply voltage is supplied to each power-supply-voltage supply wiring 31.

[0059]Each power-supply-voltage supply wiring 31 is formed like the signal wire 30 for an output, for example with metallic materials, such as aluminum, an aluminum alloy, copper, tungsten, a tungsten alloy, molybdenum, and a molybdenum alloy.

[0060]The series connection of each of the transistor 22 for line selection is carried out to the corresponding transistor 21 for an output, and it is connected between the power-supply-voltage supply wiring 31 and the transistor 21 for an output. The control terminal (gate) of each transistor 22 for line selection is electrically connected to the predetermined signal wiring 25 for line selection. Structurally, a part of signal wiring 25 for line selection may serve as the gate electrode of the transistor 22 for line selection.

[0061]ON-and-OFF control of each transistor 22 for line selection is carried out by the corresponding line selection signal from the signal wiring 25 for line selection. When the transistor 22 for line selection is turned on, the corresponding transistor 21 for an output makes the signal wire 30 for an output generate the detection electrical signal according to the signal charge quantity

accumulated in the optoelectric transducer 10.

[0062]Each of the reset transistor 23 is connected between the control terminal of the transistor 21 for an output of the power-supply-voltage supply wiring 31 and the optoelectric transducer 10 which does and corresponds, and the power-supply-voltage supply wiring 31. The control terminal (gate) of each reset transistor 22 is electrically connected to the predetermined reset signal supply wiring 32. Structurally, some reset signal supply wiring 32 may serve as the gate electrode of the reset transistor 22.

[0063]The one reset signal supply wiring 32 is allocated in each one line of the optoelectric-transducer line 12. Each reset signal supply wiring 32 extends along with the corresponding optoelectric-transducer line 12 upper part (on the inside of drawing 2).

[0064]Each of the reset signal supply wiring 32 transmits the reset signal supplied from the 2nd scanning section to predetermined timing to each of the corresponding reset transistor 23. For example, the scanning section 60 shown in drawing 1 (a) serves as the 2nd scanning section. Operation of the 2nd scanning section is controlled by the 2nd control section. For example, the control section 70 shown in drawing 1 (a) serves as the 2nd control section.

[0065]Each reset-signal supply wiring 32 is formed, for example with conductive materials, such as polysilicon, a polycide, tungsten, a tungsten alloy,

molybdenum, and a molybdenum alloy.

[0066]ON-and-OFF control of each reset transistor 23 is carried out by the reset signal from the corresponding reset signal supply wiring 32. If the reset transistor 23 is turned on, the signal charge accumulated in the corresponding optoelectric transducer 10 will be discharged by the corresponding power-supply-voltage supply wiring 31.

[0067]Drawing 3 is a schematic diagram showing an example of the plane configuration of the optoelectric transducer 10 and the switching circuit part 20 attached to this. About what was already shown in drawing 2 among the components shown in the figure, the same numerals as the numerals used by drawing 2 are attached, and the explanation is omitted.

[0068]As shown in drawing 3, the transistor 21 for an output is constituted including the gate electrode 21a formed, for example on the semiconductor substrate 1 (refer to drawing 1 (a)), and the impurity diffusion regions (n type region) 21b and 21c formed in the both sides of the gate electrode 21a.

[0069]The end of the impurity diffusion region (n type region) 21b crosses on the prescribed spot of the power-supply-voltage supply wiring 31, and plane view, and is electrically connected with the power-supply-voltage supply wiring 31 in here. The end of the impurity diffusion region (n type region) 21c has arrived at the edge of the line width direction in the prescribed spot of the signal wiring 25

for line selection on plane view.

[0070]The gate electrode 21a is formed by the polysilicon layer provided on the electrical insulation film produced by oxidizing the semiconductor substrate 1 thermally, for example. This gate electrode 21a is electrically connected to the optoelectric transducer 10 by the metallic wiring 21d, for example. The metallic wiring 21d is formed on the semiconductor substrate 1 via the electrical insulation layer which omitted the graphic display.

[0071]The metallic wiring 21d and the gate electrode 21a of each other are insulated by the electrical insulation layer except for the connection part. The same may be said of the metallic wiring 21d and the optoelectric transducer 10.

[0072]The sign which consists of a rectangle shown in drawing 3 and a x seal in it shows a contact region.

[0073]As shown in drawing 3, the transistor 22 for line selection is constituted including the gate electrode 22a which consists of a prescribed spot of the signal wiring 25 for line selection, for example, and the impurity diffusion regions (n type region) 21c and 22b formed in the both sides of the gate electrode 22a. The electrical insulation film which omitted the graphic display intervenes between the signal wiring 25 for line selection, and the semiconductor substrate 1. The end of the impurity diffusion region (n type region) 22b crosses on the prescribed spot of the signal wire 30 for an output, and plane view, and is electrically

connected with the signal wire 30 for an output in here.

[0074]In the intersection on the plane view of the signal wiring 25 for line selection, and the signal wire 30 for an output, the signal wire 30 for an output is formed up, for example rather than the signal wiring 25 for line selection, in view of the semiconductor substrate 1. The signal wiring 25 for line selection and the signal wire 30 for an output of each other are insulated by the electrical insulation layer which omitted the graphic display.

[0075]As shown in drawing 3, the reset transistor 23 is constituted including the gate electrode 23a which consists of a prescribed spot of the reset signal supply wiring 32, for example, and the impurity diffusion regions (n type region) 23b and 23c formed in the both sides of this gate electrode 23a. The electrical insulation film which omitted the graphic display intervenes between the reset signal supply wiring 32 and the semiconductor substrate 1.

[0076]The end of the impurity diffusion region (n type region) 23b crosses on the prescribed spot of the power-supply-voltage supply wiring 31, and plane view, and is electrically connected with the power-supply-voltage supply wiring 31 in here. The end of the impurity diffusion region (n type region) 23c crosses on the prescribed spot of the optoelectric transducer 10, and plane view, and is electrically connected with the optoelectric transducer 10 in here.

[0077]In the intersection on the plane view of the reset signal supply wiring 32

and the power-supply-voltage supply wiring 31, the power-supply-voltage supply wiring 31 is formed up, for example rather than the reset signal supply wiring 32, in view of the semiconductor substrate 1. Similarly, in the intersection on the plane view of the reset signal supply wiring 32 and the signal wire 30 for an output, the signal wire 30 for an output is formed up, for example rather than the reset signal supply wiring 32, in view of the semiconductor substrate 1.

[0078]In view of the semiconductor substrate 1, the signal wire 30 for an output and the power-supply-voltage supply wiring 31 may form either above another side, and may form both on the same electrical insulation layer.

[0079]The reset signal supply wiring 32, the power-supply-voltage supply wiring 31, the signal wire 30 for an output, and the signal wiring 25 for line selection are mutually insulated by the electrical insulation layer which omitted the graphic display.

[0080]The signal wire 30 for an output and the power-supply-voltage supply wiring 31 can be made to move in a zigzag direction, as shown in drawing 2 on plane view along with the corresponding photoelectric conversion element row 11 (refer to drawing 1 (a)). Since the signal wire 30 for an output and the power-supply-voltage supply wiring 31 are formed with a metallic material, respectively, even if the length becomes to some extent long by making it move in a zigzag direction, it does not become a practically serious obstacle.

[0081]If the field of an octagon including the optoelectric transducer 10 and its circumference is assumed, while the octagon of a total of eight pieces opens a predetermined interval, it can be considered that the photoelectric conversion element row 11 (refer to drawing 1 (a)) of one row is what was arranged by the same direction in the fixed pitch. They can be made to extend on plane view, the signal wire 30 for an output and the power-supply-voltage supply wiring 31 corresponding to the one photoelectric conversion element row 11 moving the left-hand side of the photoelectric conversion element row 11 in a zigzag direction along with the neighborhood of each of said octagon. The signal wire 30 for an output and the power-supply-voltage supply wiring 31 can be made to extend along the extending direction (column direction) of the photoelectric conversion element row 11 on plane view in the field which has divided the octagon of two ***** into the column direction at this time. The aforementioned octagon shall be an octagon which has two neighborhoods parallel to the extending direction of the photoelectric conversion element row 11, and two neighborhoods parallel to the extending direction of the optoelectric-transducer line 12, and all the inside becomes from an obtuse angle.

[0082]The signal wiring 25 for line selection and the reset signal supply wiring 32 can be made similarly to move in a zigzag direction on plane view along with the corresponding optoelectric-transducer line 12 (refer to drawing 1 (a)).

[0083]The shape of the signal wiring 25 for line selection in the equivalent circuit shown in drawing 2 differs from the shape on the plane view of the signal wiring 25 for line selection of drawing shown in drawing 3 for convenience. Similarly, the shape of the reset signal supply wiring 32 shown in drawing 2 differs from the shape on the plane view of the reset signal supply wiring 32 of drawing shown in drawing 3 for convenience.

[0084]the signal wiring 25 for line selection, and the reset signal supply wiring 32 -- it is selectable suitably in into what kind of shape shape on each plane view is made. the signal wire 30 for an output, and the power-supply-voltage supply wiring 31 -- the same may be said of the shape on each plane view.

[0085]the signal wire 30 for an output, and the power-supply-voltage supply wiring 31 -- when making shape on each plane view into meandering shape, the shape is not limited to above-mentioned shape. It may replace with the above-mentioned octagon and other shape, for example, a rectangle, a pentagon, a hexagon, circular, and an ellipse form may be assumed. moreover -- meeting the neighborhood of the assumed shape -- the signal wire 30 for an output, and the power-supply-voltage supply wiring 31 -- it is not a thing of having to make each certainly move in a zigzag direction, either.

[0086]In the MOS type solid state image pickup device 100 of this example, when each of the optoelectric transducer 10 carries out photoelectric conversion,

a signal charge is accumulated in this optoelectric transducer 10. If a signal charge is accumulated in the optoelectric transducer 10, the signal (voltage) according to the signal charge quantity accumulated in the corresponding gate electrode 21a of the transistor 21 for an output will be supplied. The resistance of the transistor 21 for an output changes.

[0087]If a line selection signal is supplied to the predetermined signal wiring 25 for line selection by the scanning section 60, each of the transistor 22 for line selection electrically connected to this signal wiring 25 for line selection will be turned on. As the result, each of the corresponding transistor 21 for an output is connected all at once between the power-supply-voltage supply wiring 31 and the corresponding signal wire 30 for an output. The load transistor 35 mentioned later is connected to the signal wire 30 for an output. The voltage according to resistance with the transistor 21 for an output and the load transistor 35 occurs in the signal wire 30 for an output.

[0088]The A/D conversion part 40 generates the digital signal according to the detection electrical signal generated in the signal wire 30 for an output, and outputs this digital signal to the buffer memory section 50.

[0089]Drawing 4 is a schematic diagram showing 1 of the A/D conversion part 40 shown in drawing 1 (a), and a part of buffer memory section 50.

[0090]As mentioned above, each of the A/D conversion part 40 of a graphic

display is provided with the following.

A/D converter 45.

The sample / the hold-circuit unit 41 allocated between the two signal wires 30 for an output corresponding to this

[0091]In the composition of a graphic display, in the end, common connection of each of the two signal wires 30 for an output is carried out to wiring of one, and it is electrically connected to the one A/D conversion part 40. The one load transistor 35 is connected to common wiring.

[0092]If the transistor 21 (refer to drawing 2 or drawing 3) for an output changes resistance according to the signal charge quantity accumulated in the optoelectric transducer 10, the detection electrical signal (analog voltage signal) according to this will occur at the node of the signal wire 30 for an output, and the load transistor 35.

[0093]The optoelectric-transducer line 12 of one line contains only the optoelectric transducer 10 of an even number sequence or an odd number sequence. Therefore, each of the load transistor 35 is electrically connected to the one signal wire 30 for an output corresponding to the photoelectric conversion element row 11 of an odd number sequence, and the one signal wire 30 for an output corresponding to the photoelectric conversion element row 11 of

an even number sequence. The two switching circuit parts 20 which are different in the one load transistor 35 are not connected simultaneously.

[0094]The analog voltage signal generated in the load transistor 35 (signal wire 30 for an output) is supplied to the sample / the hold-circuit unit 41 of the corresponding A/D conversion part 40.

[0095]A sample / the hold-circuit unit 41 is provided with the following.

For example, the transistor 42 for samples.

The capacitor (capacitor) 43 electrically connected to the output side.

[0096]The sample signal supply wiring 44 is connected to the control terminal (gate) of the transistor 42 for samples. Operation of the transistor 42 for samples is controlled by the sample control signal supplied via the sample signal supply wiring 44 from the control section 70 (refer to drawing 1 (a)) which serves as the 4th control section.

[0097]If one [with a sample control signal / the transistor 42 for samples], an analog voltage signal will be supplied to the capacitor (capacitor) 43 (sample). Then, if the transistor 42 for samples is turned off, the capacitor (capacitor) 43 will be separated electrically and the voltage which carried out the sample will be held (hold). For example, when the optoelectric transducer 10 accumulates an electron according to incident light intensity, the voltage held by the capacitor

(capacitor) 43 turns into such low voltage that incident light intensity is strong.

[0098]A/D converter 45 includes the comparator 46 and the latch circuitry 47, for example. For example, the reference voltage signal which consists of a serration voltage waveform which falls with fixed inclination is supplied to one input of the comparator 46 via the reference voltage signal supply wiring 48 from the control section 70 (refer to drawing 1 (a)) which serves as the 4th control section. The analog voltage signal (henceforth "the voltage I") currently held by the capacitor (capacitor) 43 is supplied to the input of another side of the comparator 46. The comparator 46 compares the value of a reference voltage signal with the value of the voltage I, and when the value of the voltage I intersects the value of a reference voltage signal, it outputs an error signal to the latch circuitry 47.

[0099]A count signal is supplied to the latch circuitry 47 via the count signal supply wiring 49 from the control section 70 (refer to drawing 1 (a)) which serves as the 4th control section.

[0100]The latch circuitry 47 is held when the counted value of a count signal is supplied to an error signal from the comparator 46. The held counted value is equivalent to what changed into the digital signal the quantity of the signal charge which was equivalent to the analog voltage signal supplied to the sample / the hold-circuit unit 41, therefore was accumulated in the optoelectric transducer 10. The latch circuitry 47 outputs this counted value to the buffer

memory section 50.

[0101]A control signal is supplied to the buffer memory section 50 via the control signal supply wiring 51 from the control section 70 (refer to drawing 1 (a)) which serves as the 5th control section. The inputted counted value is memorized by the predetermined memory 52 in the buffer memory section 50 based on the control signal supplied to the buffer memory section 50 from the latch circuitry 47.

[0102]The counted value memorized by the memory 52 is outputted to the digital output bus 53 based on other control signals supplied via the control signal supply wiring 51 from the control section 70 (refer to drawing 1 (a)).

[0103]With reference to drawing 5, the example of the MOS type solid state image pickup device 100 mentioned above of operation is explained. in addition -- for convenience -- each optoelectric-transducer line -- the order near the A/D conversion part 40 -- the 1st optoelectric-transducer line, the 2nd optoelectric-transducer line, and it shall be called the 15th optoelectric-transducer line and the 16th optoelectric-transducer line Each optoelectric transducer which constitutes the n-th (n is integer of 1-16) optoelectric-transducer line is called the optoelectric transducer of the n-th line, The signal wiring for line selection corresponding to the n-th (n is integer of 1-16) optoelectric-transducer line shall be called the signal wiring for the n-th-line selection, and the reset signal supply wiring corresponding to the n-th (n is

integer of 1-16) optoelectric-transducer line shall be called the n-th reset signal supply wiring.

[0104]First, if it enters at the horizontal blanking period demarcated by horizontal synchronizing pulse HD, the control section 70 will supply a predetermined control signal to the scanning section 60. The scanning section 60 supplies line selection signal RW_n to the signal wiring 25 for the n-th-line selection with this control signal. One [each transistor 22 for line selection electrically connected to the signal wiring 25 for the n-th-line selection]. The transistor 21 for an output which has received the accumulation voltage of the optoelectric transducer 10 of the n-th line in the gate is connected between the power-supply-voltage supply wiring 31 and the signal wire 30 for an output. The detection electrical signal according to the signal charge quantity accumulated in each of the optoelectric transducer 10 of the n-th line occurs to each of the corresponding signal wire 30 for an output.

[0105]When the counted value based on the detection electrical signal from the optoelectric transducer 10 of a ** (n-1) line is held in the latch circuitry 47, the next operation is performed in advance of supply of line selection signal RW_n . That is, the control section 70 supplies a predetermined control signal to the control signal supply wiring 51, and makes the memory 52 memorize the counted value currently held by this in the latch circuitry 47.

[0106]If it generates in the signal wire 30 for an output in which the detection electrical signal according to the signal charge quantity accumulated in each of the optoelectric transducer 10 of the n-th line corresponds, the analog voltage signal according to a detection electrical signal will occur at the node of the signal wire 30 for an output, and the load transistor 35. Each of these analog voltage signals is supplied to the sample / the hold-circuit unit 41 of the A/D conversion part 40 corresponding to the load transistor 35.

[0107]The control section 70 supplies the sample control signal SH to the sample signal supply wiring 44 within the period when line selection signal RW_n is supplied to the signal wiring 25 for the n-th-line selection. When the sample control signal SH is a high, are one [each transistor 42 for samples] and the sample of the analog voltage signal is carried out to each of the corresponding capacitor (capacitor) 43. If the sample control signal SH returns to a low, each transistor 42 for samples will be turned off and each of the capacitor (capacitor) 43 will hold the analog voltage signal which carried out the sample.

[0108]The control section 70 controls the scanning section 60 after supply of the sample control signal SH to supply reset-signal RS_n to the n-th reset signal supply wiring 32. One [each of the reset transistor 23 of the n-th line connected to the n-th reset signal supply wiring 32]. The signal charge accumulated in each of the optoelectric transducer 10 of the n-th line is discharged by the

corresponding power-supply-voltage supply wiring 31. Each of the optoelectric transducer 10 of the n-th line which finished discharging a signal charge can start accumulation of the following signal charge, after reset-signal RS_n returns to a low.

[0109]The control section 70 supplies a predetermined control signal to the buffer memory section 50 via the control signal supply wiring 51, after the above-mentioned horizontal blanking period expires. The buffer memory section 50 outputs the counted value memorized in each memory 52, i.e., the counted value based on the detection electrical signal from the optoelectric transducer 10 of a $(n-1)$ line, to the digital output bus 53 with this control signal. each counted value outputted to the digital output bus 53 -- the optoelectric transducer 10 of a $(n-1)$ line -- it is outputted outside as digital image data from each.

[0110]In predetermined time T_1 after a horizontal blanking period expires, the clock counter in the control section 70 starts a count. The control section 70 supplies this count signal to each latch circuitry 47 via the count signal supply wiring 49. The signal level of reference voltage signal RV generated from the circuit generating reference voltage in the control section 70 begins to fall with fixed inclination from above time T_1 . That is, the serrate voltage waveform which falls with fixed inclination is generated. Reference voltage signal RV is supplied to each comparator 46 via the reference voltage signal supply wiring 48. The

count operation of a clock counter and the fall of the signal level of reference voltage signal RV continue to predetermined time T_4 . The serrate voltage waveform which goes up with fixed inclination may be sufficient as reference voltage signal RV. What is necessary is just to be able to identify voltage with counted value.

[0111]If the analog voltage signal according to the signal charge quantity accumulated in the optoelectric transducer 10 of the n-th line is held at the capacitor (capacitor) 43, the comparator 46 to which the voltage I according to this analog voltage signal corresponds will be supplied.

[0112]The comparator 46 outputs an error signal to the corresponding latch circuitry 47, when the value of reference voltage signal RV is compared with the value of the voltage I and the value of the voltage I intersects the value of reference voltage signal RV.

[0113]The latch circuitry 47 is held when the counted value of the count signal supplied via the count signal supply wiring 49 is supplied to an error signal from the comparator 46. The counted value held in the latch circuitry 47 is equivalent to what changed into the digital signal (digital image data) the quantity of the signal charge accumulated in the optoelectric transducer 10 of the n-th line.

[0114]For example, if the comparator 46 outputs an error signal to the latch circuitry 47 in time T_2 shown in drawing 5, the counted value which the latch

circuitry 47 holds will become comparatively small. This counted value serves as a digital signal with which dark gray is expressed, for example, when the MOS type solid state image pickup device 100 is a solid state image pickup device for monochrome image pick-up. If the comparator 46 outputs an error signal to the latch circuitry 47 in time T_3 shown, for example in drawing 5, the counted value which the latch circuitry 47 holds will become comparatively large. This counted value serves as a digital signal with which bright gray is expressed, for example, when the MOS type solid state image pickup device 100 is a solid state image pickup device for monochrome image pick-up.

[0115] Then, the next horizontal blanking period is demarcated by horizontal synchronizing pulse HD, and line selection signal RW_{n+1} is supplied to the signal wiring 25 for $(n+1)$ line selection. The same operation as the above is performed and the counted value (digital image data) according to the signal charge quantity accumulated in each of the n -th line optoelectric transducer 10 is first outputted to the buffer memory section 50 from each latch circuitry 47. Then, the counted value according to the quantity of the signal charge accumulated in each $(n+1)$ Yukimitsu electric conversion element 10 is held in the corresponding latch circuitry 47.

[0116] A horizontal blanking period is demarcated repeatedly and operation mentioned above and same operation are performed until the digital signal for

one screen (digital image data) is obtained.

[0117]The digital image data for sequential scanning is obtained by performing sequential or operation mentioned above one by one in descending order from the 16th optoelectric-transducer line in ascending order from the 1st optoelectric-transducer line.

[0118]In obtaining the digital image data for interlace scanning, the 1st field and the 2nd field are selected suitably first. For example, the 1st, 2, 5, 6, 9, 10 and 13, and 14 optoelectric-transducer lines can be made into the optoelectric-transducer line of the 1st field, and the 3rd, 4, 7, 8, 11, 12 and 15, and 16 optoelectric-transducer lines can be selected as an optoelectric-transducer line of the 2nd field. The digital image data for interlace scanning can be obtained by performing selected operation which was mentioned above in the ascending order or descending order for every field.

[0119]In obtaining the digital image data for a high-speed infanticide scan, a desired number of optoelectric-transducer lines are selected first. When obtaining the digital image data thinned out to one fourth in the direction of a photoelectric conversion element row, For example, (1) The 1st, 2 and 9 and 10 optoelectric-transducer lines, and (2) The 3rd, 4 and 11 and 12 optoelectric-transducer lines, and (3) The 5th, 6 and 13 and 14 optoelectric-transducer lines, or (4) The 7th, 8 and 15, and 16

optoelectric-transducer lines can be selected. By performing operation mentioned above in the ascending order or descending order to each selected optoelectric-transducer line, the digital image data for a high-speed infanticide scan can be obtained.

[0120]Next, the MOS type solid state image pickup device by the modification of the 1st example is explained using drawing 6.

[0121]Drawing 6 is a representative circuit schematic showing an example of the switching circuit part 20 attached to the optoelectric transducer 10 in the MOS type solid state image pickup device 100a by this modification.

[0122]As shown in the figure, in the MOS type solid state image pickup device 100a, the one power-supply-voltage supply wiring 31 is allocated along with this optoelectric-transducer line 12 for each every line of the optoelectric-transducer line 12. Except this point, it is the same as that of the MOS type solid state image pickup device 100 of the 1st example.

[0123]For this reason, about the MOS type solid state image pickup device 100a, the representative circuit schematic of the switching circuit part 20a is roughly shown in drawing 6, and the graphic display of other parts is omitted. About what was already shown in drawing 1 (a) or drawing 2 among the components shown in drawing 6, the same numerals as the numerals used by drawing 1 (a) or drawing 2 are attached, and the explanation is omitted.

[0124]In order for the MOS type solid state image pickup device 100a to make the signal wire 30 for an output, and the power-supply-voltage supply wiring 31 cross and to arrange it, it needs another wiring layer.

[0125]However, the operation of the MOS type solid state image pickup device 100a itself is the same as that of the MOS type solid state image pickup device 100 of the 1st example. Therefore, explanation is omitted about the operation.

[0126]Next, the MOS type solid state image pickup device by other modifications of the 1st example is explained using drawing 7.

[0127]Drawing 7 is a representative circuit schematic showing roughly an example of the switching circuit part 20 attached to the optoelectric transducer 10 in the MOS type solid state image pickup device 100b by this modification.

[0128]As shown in the figure, in the MOS type solid state image pickup device 100b, the transistor 22 for line selection is connected to the power-supply-voltage supply wiring 31, and the transistor 21 for an output is connected between the transistor 22 for line selection, and the signal wire 30 for an output. The one signal wiring 25 for line selection is allocated in each of that upper part (on the inside of a figure) along with this optoelectric-transducer line for every line of an optoelectric-transducer line. Except these points, it is the same as that of the MOS type solid state image pickup device 100 of the 1st example.

[0129]For this reason, about the MOS type solid state image pickup device 100a, the representative circuit schematic of the switching circuit part 20 is roughly shown in drawing 7, and the graphic display of other parts is omitted. About what was already shown in drawing 1 (a) or drawing 2 among the components shown in drawing 7, the same numerals as the numerals used by drawing 1 (a) or drawing 2 are attached, and the explanation is omitted.

[0130]The operation of the MOS type solid state image pickup device 100b itself is the same as that of the MOS type solid state image pickup device 100 of the 1st example. Therefore, explanation is omitted about the operation.

[0131]Next, the MOS type solid state image pickup device by the modification of further others of the 1st example is explained using drawing 8 (a).

[0132]Drawing 8 (a) is a representative circuit schematic showing roughly an example of the switching circuit part 20a attached to the optoelectric transducer 10 in the MOS type solid state image pickup device 100c by this modification.

[0133]As shown in the figure, in the MOS type solid state image pickup device 100c, the one switching circuit part 20a contains a total of four transistors, the transistor 21 for an output, the transistor 22 for line selection, the reset transistor 23, and the transistor 24 for transmission. The one power-supply-voltage supply wiring 31 is allocated along with this optoelectric-transducer line for each every line of an optoelectric-transducer line. The one transfer signal supply wiring 33 is

allocated along with this optoelectric-transducer line for each every line of an optoelectric-transducer line.

[0134]Each transistor 24 for transmission is connected to the corresponding optoelectric transducer 10 and the transistor 21 for an output. The control terminal (gate) of these transistors 24 for transmission is electrically connected to the corresponding transfer signal supply wiring 33.

[0135]Each of the transistor 24 for transmission consists of MOS transistors, for example. Each of the transfer signal supply wiring 33 is formed, for example with conductive materials, such as polysilicon, a polycide, aluminum, tungsten, a tungsten alloy, molybdenum, and a molybdenum alloy.

[0136]Each transfer signal supply wiring 33 is electrically connected to the 3rd scanning section. The 3rd scanning section supplies a transfer signal to each of the transfer signal supply wiring 33 to predetermined timing. The scanning section 60 shown in drawing 1 (a) can serve as the 3rd scanning section.

[0137]The 3rd control section that controls operation of the 3rd scanning section is allocated. The control section 70 shown in drawing 1 (a) can serve as the 3rd control section.

[0138]If the point mentioned above is removed, the composition of the MOS type solid state image pickup device 100c is the same as the composition of the MOS type solid state image pickup device 100 of the 1st example.

[0139]For this reason, about the MOS type solid state image pickup device 100c, the representative circuit schematic of the switching circuit part 20a is roughly shown in drawing 8 (a), and the graphic display of other parts is omitted. About what was already shown in drawing 1 (a) or drawing 2 among the components shown in drawing 8 (a), the same numerals as the numerals used by drawing 1 (a) or drawing 2 except for the switching circuit part 20a are attached, and the explanation is omitted.

[0140]If a transfer signal is supplied to the transistor 24 for transmission, are one [the transistor 24 for transmission] and the signal according to the signal charge quantity accumulated in the optoelectric transducer 10 will be supplied to the control terminal (gate) of the transistor 21 for an output.

[0141]The transfer signal supplied to the transistor 24 for transmission synchronizes, and is supplied, without the predetermined stage within a horizontal blanking period, for example, the stage to supply the signal for line selection to the corresponding transistor 22 for line selection.

[0142]Operation of the MOS type solid state image pickup device 100c is the same as that of the MOS type solid state image pickup device 100 of the 1st example except for the operation about the transistor 24 for transmission. Therefore, the explanation is omitted about other operations.

[0143]Next, the MOS type solid state image pickup device by the modification of

further others of the 1st example is explained using drawing 8 (b).

[0144]Drawing 8 (b) is a representative circuit schematic showing roughly an example of the switching circuit part 20a attached to the optoelectric transducer 10 in the MOS type solid state image pickup device 100d by this modification.

[0145]As shown in the figure, in the MOS type solid state image pickup device 100d, the transistor 22 for line selection is connected to the power-supply-voltage supply wiring 31, and the transistor 21 for an output is connected between the transistor 22 for line selection, and the signal wire 30 for an output. The one signal wiring 25 for line selection is allocated in each of that upper part (on the inside of a figure) along with this optoelectric-transducer line for every line of an optoelectric-transducer line. Except these points, it is the same as that of the MOS type solid state image pickup device 100c shown in drawing 8 (a).

[0146]For this reason, about the MOS type solid state image pickup device 100d, the representative circuit schematic of the switching circuit part 20d is roughly shown in drawing 8 (b), and the graphic display of other parts is omitted. About what was already shown in drawing 8 (a) among the components shown in drawing 8 (b), the same numerals as the numerals used by drawing 8 (a) are attached, and the explanation is omitted.

[0147]The operation of the MOS type solid state image pickup device 100d itself

is the same as that of the MOS type solid state image pickup device 100c shown in drawing 8 (a). Therefore, explanation is omitted about the operation.

[0148]Next, the MOS type solid state image pickup device by the 2nd example is explained using drawing 9 and drawing 10.

[0149]Drawing 9 is a top view showing typically the MOS type solid state image pickup device 200 by the 2nd example.

[0150]Drawing 10 is a representative circuit schematic showing roughly an example of the switching circuit part 20 attached to the optoelectric transducer 10 in the MOS type solid state image pickup device 200 shown in drawing 9.

[0151]The MOS type solid state image pickup device 200 by the 2nd example, (i)

The point that the one signal wire 30 for an output is allocated between [each]

on the plane view of the photoelectric conversion element row 11 of these two

rows per two rows of the photoelectric conversion element row 11, (ii) The point

that the one power-supply-voltage supply wiring 31 is allocated between [each]

on the plane view of the photoelectric conversion element row 11 of these two

rows per two rows of the photoelectric conversion element row 11, (iii) The point

that the A/D conversion part 40 is allocated at a time by the one signal wire

[one] 30 for an output, And it is the point that the one load transistor 35 (it is

referring to drawing 4 about the load transistor 35) is allocated by each the (iv) 1

signal wiring 30 for an output, and differs from the MOS type solid state image

pickup device 100 of the 1st example.

[0152]If the between on the plane view of the photoelectric conversion element row 11 of two rows of ***** shall be called "between photoelectric conversion element rows", in the MOS type solid state image pickup device 200 of a graphic display, the signal wire 30 for an output and the power-supply-voltage supply wiring 31 are formed between different photoelectric conversion element rows. It is also possible to form between the photoelectric conversion element rows with same signal wire 30 for an output and power-supply-voltage supply wiring 31.

[0153]The composition except each point of the above-mentioned (i) - (iv) is the same as that of the MOS type solid state image pickup device 100 of the 1st example, and the operation of it is the same as that of the MOS type solid state image pickup device 100 of the 1st example.

[0154]For this reason, about the MOS type solid state image pickup device 200, the graphic display of parts other than the part shown in drawing 9 or drawing 10 is omitted. About what was already shown in drawing 1 (a) or drawing 2 among the components shown in drawing 9 or drawing 10, the same numerals as the numerals used by drawing 1 (a) or drawing 2 are attached, and the explanation is omitted. The explanation is omitted also about operation of the MOS type solid state image pickup device 200.

[0155]Next, the MOS type solid state image pickup device by the modification of

the 2nd example is explained using drawing 11.

[0156]Drawing 11 is a representative circuit schematic showing roughly an example of the switching circuit part 20 attached to the optoelectric transducer 10 in the MOS type solid state image pickup device 200a by this modification.

[0157]As shown in the figure, in the MOS type solid state image pickup device 200a, the one power-supply-voltage supply wiring 31 is allocated along with this optoelectric-transducer line for each every line of an optoelectric-transducer line. Except this point, it is the same as that of the MOS type solid state image pickup device 200 of the 2nd example explained using drawing 9 and drawing 10.

[0158]For this reason, about the MOS type solid state image pickup device 200a, the representative circuit schematic of the switching circuit part 20 is roughly shown in drawing 11, and the graphic display of other parts is omitted. About what was already shown in drawing 9 or drawing 10 among the components shown in drawing 11, the same numerals as the numerals used by drawing 9 or drawing 10 are attached, and the explanation is omitted.

[0159]In order for the MOS type solid state image pickup device 200a to make the signal wire 30 for an output, and the power-supply-voltage supply wiring 31 cross and to arrange it, it needs another wiring layer.

[0160]However, the operation of the MOS type solid state image pickup device 200a itself is the same as that of the MOS type solid state image pickup device

200 of the 2nd example. Therefore, explanation is omitted about the operation.

[0161]Although a graphic display is omitted, The MOS type solid state image pickup device 100c explained using drawing 8 (a) or drawing 8 (b) also about the MOS type solid state image pickup device 200 of the 2nd example, Each of the switching circuit part 20 can be constituted like 100 d using a total of four transistors, the transistor 21 for an output, the transistor 22 for line selection, the reset transistor 23, and the transistor 24 for transmission.

[0162]The MOS type solid state image pickup device 200 at the time of constituting one switching circuit part using these four transistors can be operated like the already explained MOS type solid state image pickup devices 100c and 100d.

[0163]Next, the MOS type solid state image pickup device by the 3rd example is explained using drawing 12.

[0164]Drawing 12 is a sectional view showing roughly the MOS type solid state image pickup device 210 by the 3rd example. The MOS type solid state image pickup device 210 shown in the figure is an MOS type solid state image pickup device for a color image pick-up which attached the light shielding film 80, the color filter array 85, and the microlens array 90 grade to the MOS type solid state image pickup device 100 of the 1st example.

[0165]Each section of the semiconductor substrate 1 and the optoelectric

transducer 10 which **12**(ed), the signal wiring 25 for line selection, and the reset signal supply wiring 32 is mostly equivalent to a section when the MOS type solid state image pickup device 100 is cut along the A-A line shown in drawing 3.

[0166]As shown in drawing 12, the MOS type solid state image pickup device 210 is provided with the semiconductor substrate 1 which consists of a n type silicon substrate which equipped one side with the p type well 1a.

[0167]Many optoelectric transducers 10 which consist of photo-diodes use [*****] the semiconductor substrate 1, and are arranged. However, only the one optoelectric transducer 10 is shown in drawing 12.

[0168]Each optoelectric transducer 10 consists of an embedding type photo-diode formed by forming the n type region 10a in the prescribed spot of the p type well 1a, and forming the p⁺ type layer 10b in the surface. Each of the optoelectric transducer 10 is enclosed on plane view by the channel stop region 2 formed in the p type well 1a.

[0169]For example, the electrical insulation layer 3 which consists of oxidizing films is formed in the semiconductor substrate 1 near surface in which the optoelectric transducer 10 is formed.

[0170]Each transistor 21 for an output described in the explanation about the MOS type solid state image pickup device 100, each transistor 22 for line

selection, each reset transistor 23, each signal wiring 25 for line selection, each signal wire 30 for an output, each power-supply-voltage supply wiring 31, and each reset-signal supply wiring 32, It is allocated above the electrical insulation layer 3. In drawing 12, the one signal wiring 25 for line selection and the reset signal supply wiring 32 of one appear. the signal wiring 25 for these line selection, and the reset signal supply wiring 32 -- on the surface of each, the electrical insulation layer 4 which consists of oxidizing films, for example is formed.

[0171]Each load transistor 35, the A/each D converter 40, the buffer memory section 50, the scanning section 60, and the control section 70 which were described in the explanation about the MOS type solid state image pickup device 100 are formed in the prescribed spot of the semiconductor substrate 1.

[0172]In order to prevent unnecessary photoelectric conversion from being performed in fields other than each optoelectric-transducer 10, the light shielding film 80 is formed. the light shielding film 80 -- the optoelectric transducer 10 -- it has every one opening 81 in each upper part.

[0173]The alloy thin film in which the light shielding film 80 consists of two or more sorts, the metal thin films which consist of aluminum, chromium, tungsten, titanium, molybdenum, etc., for example, and these metal, Or it is formed with the multilevel-metal thin film etc. which combined the aforementioned metal thin

films or the aforementioned metal thin film, and the aforementioned alloy thin film.

[0174]The member which consists of the semiconductor or metal in the light shielding film 80 and the bottom of it (semiconductor substrate 1 side) is insulated by the electrical insulation layer 3, the electrical insulation layer 4, or the electrical insulation layer that is not illustrated.

[0175]The flattening film 82 has covered the electrical insulation layer 3 and the light shielding film 80 which have been exposed via the opening 81. The flattening film 82 is used also as a focus layer of the micro lens 91 mentioned later. It is also possible to form an inner lens in the flattening film 82.

[0176]The flattening film 82 is formed by applying transparent resin, such as photoresist, to desired thickness by methods, such as a spin coat method, for example.

[0177]The color filter array 85 is formed on the flattening film 82. This color filter array 85 forms two or more sorts of colored filters which enable a color image pick-up by a predetermined pattern. As such a color filter array, there are a color filter array of a three-primary-colors (red, green, blue) system and what is called a complementary color type of color filter array.

[0178]the optoelectric transducer 10 -- one colored filter of a request color is allocated in each of each upper part. In this example, the red colored filter 86R, the green colored filter 86G, and the blue colored filter 86B are allocated by

predetermined arrangement. That is, the colored filter sequence by which the colored filter sequence which consists only of the green colored filter 86G, and the red colored filter 86R and the blue colored filter 86B have been arranged by turns is arranged by turns. If it sees by a line writing direction, the colored filter line by which the colored filter line which consists only of the green colored filter 86G, and the red colored filter 86R and the blue colored filter 86B have been arranged by turns is formed by turns. Each colored filter sequence extends in the same direction as a photoelectric conversion element row.

[0179]Drawing 13 (a) shows the arrangement specification of the colored filter in the color filter array 85 currently used by this example. The alphabet R, G, and B in a figure expresses the color of each colored filter. This color filter array 85 of this is a color filter array of a three-primary-colors system.

[0180]In addition. In drawing 12, the red colored filter 86R and the blue colored filter 86B appear.

[0181]The color filter array 85 is producible by, for example, forming in a prescribed spot the layer of the resin (color resin) which added the paints or color of the request color by methods, such as photolithography method.

[0182]The 2nd flattening film 88 is formed on the color filter array 85. The 2nd flattening film 88 is formed by applying transparent resin, such as photoresist, to desired thickness with a spin coat method, for example.

[0183]The microlens array 90 is formed on the 2nd flattening film 88. This microlens array 90 is constituted by many micro lenses 91. the micro lens 91 -- the optoelectric transducer 10 -- it is arranged at a time in each one upper part.

[0184]After these micro lenses 91 divide the layer which a refractive index becomes from transparent resin (photoresist is included.) of 1.3-2.0 in general to specified shape with photolithography method etc., for example, Melting of the transparent resin layer of each division is carried out by heat treatment, and it is obtained by cooling, after making a corner cajole with surface tension.

[0185]Since the illustrated MOS type solid state image pickup device 210 has the light shielding film 80, it can prevent unnecessary photoelectric conversion from being performed in fields other than each optoelectric-transducer 10. Since it has the color filter array 85, the digital image data for color pictures can be obtained. Since it has the microlens array 90, efficiency for light utilization is high.

[0186]It can replace with the color filter array of a three-primary-colors system, and the so-called color filter array of a complementary color system can also be used. The color filter array of a complementary color system, for example Each colored filter of (i) green (G) and cyanogen (Cy) and yellow (Ye), (ii) Each colored filter of yellow (Ye), cyanogen (each colored filter of Cy) and magenta (Mg) and (iii) cyanogen (Cy) green (G) yellow (Ye), and magenta (Mg) can constitute.

[0187]Drawing 13 (b) - drawing 13 (e) show the example of the arrangement specification of the colored filter in the so-called color filter array of a complementary color system.

[0188]Drawing 13 (b) is a top view showing an example of the arrangement specification of the colored filter in the complementary color type color filter array 87a of the above-mentioned (i), and drawing 13 (c) is a top view showing an example of the arrangement specification of the colored filter in the complementary color type color filter array 87b of the above-mentioned (ii). Drawing 13 (d) is a top view showing an example of the arrangement specification of the colored filter in the complementary color type color filter array 87c of the above-mentioned (iii), and drawing 13 (e) is a top view showing other examples of the arrangement specification of the colored filter in 87 d of complementary color type color filter arrays of the above-mentioned (iii). Also in each of drawing 13 (b) - drawing 13 (e), six square shapes each surrounding the alphabet G, Cy, and Ye and Mg in a figure show the colored filter whose number is one. The alphabet G, Cy, and Ye and Mg in a figure express the color of each colored filter.

[0189]Also by providing the color filter array of the three-primary-colors system or complementary color type mentioned above in the MOS solid state image pickup device by examples or modifications other than the 1st example, the

MOS type solid state image pickup device for a color image pick-up can be obtained.

[0190]A light shielding film and a microlens array are not the indispensable members forming which hits obtaining the MOS type solid state image pickup device for a color image pick-up. However, it is preferred practically to provide a light shielding film and a microlens array.

[0191]Also when obtaining the MOS type solid state image pickup device for monochrome image pick-up, it is preferred practically to provide a light shielding film and a microlens array.

[0192]Many optoelectric transducers of each MOS type solid state image pickup device by the example described so far or its modification are MOS [***** et al.] type solid state image pickup devices which are arranged by carrying out.

[0193]When [***** et al.] it has arranged by carrying out, one optoelectric-transducer line contains only the optoelectric transducer of the optoelectric transducer of an even number sequence, or an odd number sequence for many optoelectric transducers.

[0194]Therefore, by allocating an A/D conversion part in two rows per every piece of a photoelectric conversion element row, the electrical signal which the corresponding transistor for an output generated can be received individually, and a corresponding digital signal can be generated.

[0195]At this time, as the 1st example or 2nd example etc. was given and described, the total of an A/D conversion part can be reduced to one half of the totals of a photoelectric conversion element row. That is, the total of an A/D conversion part can be reduced to conventional one half.

[0196]Even if it is a case where the effectual degree of location of an optoelectric transducer is raised, as the result, it becomes possible to form an A/D conversion part, without using advanced ultra-fine processing technology. In connection with this, it becomes possible to control a manufacturing cost.

[0197]As mentioned above, although the MOS type solid state image pickup device by the example or its modification was explained, this invention is not limited to the example or modification mentioned above. Probably, it will be obvious to a person skilled in the art for various change, improvement, combination, etc. to be possible.

[0198]

[Effect of the Invention]As mentioned above, according to this invention, it becomes possible to raise the degree of location of an optoelectric transducer, controlling increase of the manufacturing cost of the MOS type solid state image pickup device which contained the A/D conversion part.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 (a) is a top view showing typically the MOS type solid state image pickup device by the 1st example.

Drawing 1 (b) is a key map showing one of a switching circuit part.

[Drawing 2] It is a representative circuit schematic showing roughly an example of the switching circuit part attached to an optoelectric transducer in the MOS type solid state image pickup device by the 1st example.

[Drawing 3] It is a schematic diagram showing an example of plane configuration with the switching circuit part attached to the optoelectric transducer which constitutes the MOS type solid state image pickup device by the 1st example, and the optoelectric transducer concerned.

[Drawing 4] It is a schematic diagram showing 1 of the A/D conversion part in the MOS type solid state image pickup device by the 1st example, and a part of buffer memory section.

[Drawing 5] It is a timing diagram showing an example of the supplying time of various kinds of signal pulses used for operation of the MOS type solid state image pickup device by the 1st example.

[Drawing 6] It is a representative circuit schematic showing roughly an example of the switching circuit part attached to an optoelectric transducer in the MOS type solid state image pickup device by the modification of the 1st example.

[Drawing 7] It is a representative circuit schematic showing roughly an example of the switching circuit part attached to an optoelectric transducer in the MOS type solid state image pickup device by other modifications of the 1st example.

[Drawing 8] Drawing 8 (a) is a representative circuit schematic showing roughly an example of the switching circuit part attached to an optoelectric transducer in the MOS type solid state image pickup device by the modification of further others of the 1st example.

Drawing 8 (b) is a representative circuit schematic showing roughly an example of the switching circuit part attached to an optoelectric transducer in the MOS type solid state image pickup device by the modification of further others of the 1st example.

[Drawing 9] It is a top view showing typically the MOS type solid state image pickup device by the 2nd example.

[Drawing 10] It is a representative circuit schematic showing roughly an example of the switching circuit part attached to an optoelectric transducer in the MOS type solid state image pickup device by the 2nd example.

[Drawing 11] It is a representative circuit schematic showing roughly an example of the switching circuit part attached to an optoelectric transducer in the MOS type solid state image pickup device by the modification of the 2nd example.

[Drawing 12] It is a sectional view showing roughly the MOS type solid state image pickup device by the 3rd example.

[Drawing 13] Drawing 13 (a) is a top view showing an example of the arrangement specification of the colored filter in the color filter array of a three-primary-colors system, and drawing 13 (b), drawing 13 (c), drawing 13 (d), and drawing 13 (e) are the top views showing an example of the arrangement specification of the colored filter in a complementary color type color filter array, respectively.

[Description of Notations]

1 -- A semiconductor substrate and 10 -- An optoelectric transducer and 11 -- Photoelectric conversion element row, 12 -- An optoelectric-transducer line, 20, 20a -- A switching circuit part and 21 -- The transistor for an output, 22 -- The transistor for line selection, and 23 -- A reset transistor and 24 -- The transistor for transmission, 25 -- The signal wiring for line selection, and 30 -- The signal wire for an output, 31 -- Power-supply-voltage supply wiring, 32 -- Reset signal supply wiring and 33 -- Transfer signal supply wiring and 40 -- A/D conversion part, 41 -- A sample / the hold-circuit unit, 43 -- Capacitor (capacitor), 45 [--

Buffer memory section,] -- An A/D converter and 46 -- A comparator, 47 -- Latch circuitry and 50 60 -- A scanning section and 70 -- A control section and 80 -- A light shielding film, 85, 87a, 87b, 87c, 87d [-- A microlens array and 91 / -- A micro lens 100, 100a, 100b, 100c, 100d, 200, 200a, 210 / -- MOS type solid state image pickup device.] -- A color filter array and 86R -- A red colored filter and 86B -- A blue colored filter and 90

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-223350

(P2001-223350A)

(43) 公開日 平成13年8月17日 (2001.8.17)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 27/146		H 0 4 N 5/335	E 4 M 1 1 8
H 0 4 N 5/335			U 5 C 0 2 4
// H 0 1 L 31/10		H 0 1 L 27/14	A 5 P 0 4 9
		31/10	A

審査請求 未請求 請求項の数18 O L (全 18 頁)

(21) 出願番号 特願2000-33929(P2000-33929)

(22) 出願日 平成12年2月10日 (2000.2.10)

(71) 出願人 391051588

富士フイルムマイクロデバイス株式会社
宮城県黒川郡大和町松坂平1丁目6番地

(71) 出願人 000005201

富士写真フイルム株式会社
神奈川県南足柄市中沼210番地

(72) 発明者 鈴木 信雄

宮城県黒川郡大和町松坂平1丁目6番地
富士フイルムマイクロデバイス株式会社内

(74) 代理人 100091340

弁理士 高橋 敬四郎 (外2名)

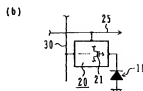
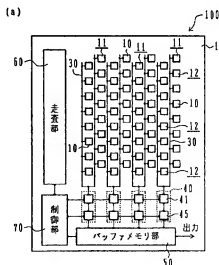
最終頁に続く

(54) 【発明の名称】 固体撮像素子

(57) 【要約】 (修正有)

【課題】 A/D変換部を内蔵した従来のMOS型固体撮像素子において光電変換素子の集積度を高めれば高める程、A/D変換部を形成する際に高度な微細加工技術が要求されるようになり、これに伴って製造コストが増大する。

【解決手段】 多数個の光電変換素子を複数行、複数列に亘って画素ずらし配置し、前記複数個の光電変換素子列の2列に1個ずつアナログ/デジタル変換部を配設してMOS型固体撮像素子を得る。



【特許請求の範囲】

【請求項 1】 半導体基板の表面に複数行、複数列に亘って画素ずらし配置された多数個の光電変換素子と、前記多数個の光電変換素子の各々に 1 個ずつ付設されたスイッチング回路部であって、各々が、対応する光電変換素子に蓄積された信号電荷量に応じた電気信号を発生することのできる出力用トランジスタを含むスイッチング回路部と、

前記複数の光電変換素子行の 1 行毎に該光電変換素子行に沿って 1 本ずつ配設された行選択用信号配線であって、各々が、対応するスイッチング回路部それぞれに前記電気信号の発生を制御する行選択信号を供給するために使用される行選択用信号配線と、

前記複数の光電変換素子列の 2 列に 1 個ずつ配設されたアナログ/デジタル変換部と、

前記各 2 列の光電変換素子列に対応するスイッチング回路部の前記出力用トランジスタの各々と、対応するアナログ/デジタル変換部とを接続する出力用信号線とを備えた固体撮像素子。

【請求項 2】 前記出力用信号線の各々が、前記複数の光電変換素子列の 1 列毎に該光電変換素子列に沿って 1 本ずつ配設され、

前記アナログ/デジタル変換部の各々が、前記出力用信号線の 2 本に 1 個ずつ配設されている請求項 1 に記載の固体撮像素子。

【請求項 3】 前記出力用信号線の各々が、前記複数の光電変換素子列の 2 列毎に該 2 列の光電変換素子列の平面視上の間に 1 本ずつ配設され、

前記アナログ/デジタル変換部の各々が、前記出力用信号線の 1 本に 1 個ずつ配設されている請求項 1 に記載の固体撮像素子。

【請求項 4】 さらに、前記行選択用信号配線の各々に所定のタイミングで前記行選択信号を供給する第 1 の走査部を有する請求項 1～請求項 3 のいずれかに記載の固体撮像素子。

【請求項 5】 さらに、前記第 1 の走査部の動作を制御する第 1 の制御部を有する請求項 4 に記載の固体撮像素子。

【請求項 6】 さらに、前記出力用トランジスタの各々に電気的に接続され、該出力用トランジスタに電源電圧を供給するために使用される電源電圧供給配線を有し、前記出力用トランジスタの各々が、対応する光電変換素子に蓄積された信号電荷量に応じた信号をその制御端子に受け、

前記所定個のスイッチング回路部の各々が、さらに、前記出力用トランジスタに直列接続された行選択用トランジスタであって、前記行選択信号をその制御端子に受ける行選択用トランジスタを含み、前記直列接続が、対応する出力用信号線と前記電源電圧供給配線との間に接続されている請求項 1～請求項 5 のいずれかに記載の固体

撮像素子。

【請求項 7】 前記スイッチング回路部の各々が、さらに、対応する光電変換素子に電気的に接続されたリセットトランジスタであって、前記出力用トランジスタの制御端子と前記電源電圧供給配線との間に接続されたリセットトランジスタを含み、さらに、前記複数の光電変換素子行の 1 行毎に該光電変換素子行に沿って 1 本ずつ配設されたリセット信号供給配線であって、各々が、対応するリセットトランジスタの制御端子に電気的に接続されたリセット信号供給配線を有する請求項 1～請求項 6 のいずれかに記載の固体撮像素子。

【請求項 8】 さらに、前記リセット信号供給配線の各々に所定のタイミングで前記リセットトランジスタ用の制御信号を供給する第 2 の走査部を有する請求項 7 に記載の固体撮像素子。

【請求項 9】 さらに、前記第 2 の走査部の動作を制御する第 2 の制御部を有する請求項 8 に記載の固体撮像素子。

20 【請求項 10】 前記スイッチング回路部の各々が、さらに、対応する光電変換素子に電気的に接続された転送用トランジスタであって、前記対応する光電変換素子と前記出力用トランジスタとの間に接続された転送用トランジスタを含み、さらに、前記複数の光電変換素子行の 1 行毎に該光電変換素子行に沿って 1 本ずつ配設された転送制御信号供給配線であって、各々が、対応する転送用トランジスタの制御端子に電気的に接続された転送制御信号供給配線を有する請求項 1～請求項 9 のいずれかに記載の固体撮像素子。

30 【請求項 11】 さらに、前記転送制御信号供給配線の各々に所定のタイミングで前記転送用トランジスタ用の制御信号を供給する第 3 の走査部を有する請求項 10 に記載の固体撮像素子。

【請求項 12】 さらに、前記第 3 の走査部の動作を制御する第 3 の制御部を有する請求項 11 に記載の固体撮像素子。

【請求項 13】 前記アナログ/デジタル変換部の各々が、キャパシタを含むサンプル/ホールド回路部と、該サンプル/ホールド回路部からの出力を前記デジタル信号に変換するアナログ/デジタルコンバータとを含む請求項 1～請求項 12 のいずれかに記載の固体撮像素子。

40 【請求項 14】 前記アナログ/デジタルコンバータの各々が、前記サンプル/ホールド回路部から出力される電圧値を基準電圧信号と比較する比較器であって、該比較器の外部から供給される前記基準電圧信号と前記サンプル/ホールド回路部から出力される電圧値とが交差した時点で制御動作信号を発生する比較器と、前記制御動作信号とカウント信号とが供給されるラッチ回路であって、該ラッチ回路の外部から供給される前記カウント信号のカウント値を前記制御動作信号が供給された時点で

保持すると共に、一致信号を出力するラッチ回路とを含む請求項13に記載の固体撮像素子。

【請求項15】 さらに、前記アナログ／デジタル変換部それぞれの動作を制御する第4の制御部を有する請求項14のいずれかに記載の固体撮像素子。

【請求項16】 さらに、前記アナログ／デジタル変換部の各々から出力される前記デジタル信号を一時的に保持し、該デジタル信号の各々を外部に出力することのできるバッファメモリ部を有する請求項1～請求項15のいずれかに記載の固体撮像素子。

【請求項17】 さらに、前記バッファメモリ部の動作を制御する第5の制御部を有する請求項16に記載の固体撮像素子。

【請求項18】 さらに、前記多数個の光電変換素子それぞれの上に1個ずつ配設された色フィルタと、前記色フィルタそれぞれの上に1個ずつ配設されたマイクロレンズとを有する請求項1～請求項17のいずれかに記載の固体撮像素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は固体撮像素子に係り、特に、アナログ／デジタルコンバータを備えたMOS型の固体撮像素子に関する。

【0002】

【従来の技術】CCD（電荷結合素子）の量産技術が確立されて以来、CCD型固体撮像素子をライン・センサあるいはエリア・イメージセンサとして利用した機器が急速に普及している。

【0003】その一方で、携帯用端末の普及に伴ってCCD型固体撮像素子よりも消費電力の小さいMOS型固体撮像素子、特に、アナログ／デジタル変換部（以下、「A/D変換部」と略記する。）を内蔵することによって高性能化および低コスト化を図ったMOS型固体撮像素子の開発が進められている。A/D変換部は、例えばサンプル／ホールド回路部と、これに続くアナログ／デジタルコンバータ（以下、「A/Dコンバータ」と略記する。）とを含んで構成される。

【0004】MOS型固体撮像素子は、半導体基板の一面側に行列状に形成された多数個の光電変換素子（例えばフォトダイオード）、光電変換素子毎に付設されたスイッチング回路部、および光電変換素子列毎にスイッチング回路部とA/D変換部とを接続する出力用信号線を備えている。僅々のスイッチング回路部は、出力用トランジスタを含む。この出力用トランジスタは、対応する光電変換素子に蓄積された信号電荷量に応じた電気信号を、出力用信号線に発生させることができる。出力用信号線は低抵抗であることが望まれ、通常、金属材料によって形成される。

【0005】A/D変換部を内蔵した従来のMOS型固体撮像素子では、出力用信号線それぞれの一端にA/D

変換部が接続される。出力用トランジスタによって出力用信号線に発生した電気信号は、出力用信号線を介してA/D変換部に入力される。A/D変換部は、通常、アナログ電圧信号が入力される。A/D変換部は、入力されたアナログ電圧信号に応じたデジタル信号を例えばバッファメモリに出力する。

【0006】出力用トランジスタによる電気信号の発生は、例えば光電変換素子行単位で制御される。この制御は、光電変換素子行単位で各スイッチング回路部の動作を制御することによって行うことができる。そのため、光電変換素子行毎に1本の行選択用信号配線が配設される。

【0007】行選択用信号配線を介して、対応する各スイッチング回路部にその動作を制御するための行選択信号が伝達される。

【0008】行選択用信号配線の各々に所定のタイミングで行選択信号を供給する走査部が、多くの場合、同一の半導体基板上に形成される。

【0009】なお、本明細書でいう「光電変換素子列」とは、行列状に配置された「光電変換素子の並び」のうちで、出力信号線の延在方向に沿って配置されている「光電変換素子の並び」を指す。行列状に配置された「光電変換素子の並び」における「光電変換素子行」は、光電変換素子列方向に交差する方向に沿って配置されている「光電変換素子の並び」を指す。

【0010】上述した走査部、A/D変換部、バッファメモリ等の動作は、制御部によって制御される。この制御部は、多くの場合、同一の半導体基板上に形成される。

【0011】A/D変換部を内蔵したMOS型固体撮像素子は、CCD型固体撮像素子に比べ、消費電力を例えば1/5～1/10程度にまで低下させることができる。

【0012】

【発明が解決しようとする課題】固体撮像素子の解像度を向上させるうえからは、できるだけ多くの光電変換素子を高密度に形成することが好ましい。多数個の光電変換素子を1枚の半導体基板上に形成する場合、各画素あるいは光電変換素子を小型化して高密度に配置することによって、チップサイズを低下させることができる。それに伴って低コスト化を図ることもできる。

【0013】しかしながら、半導体基板上での光電変換素子の集積度が高まれば高まる程、光電変換素子行方向における光電変換素子配列のピッチが減少する。すなわち、光電変換素子列同士のピッチが減少する。これに伴って、A/D変換部を内蔵したMOS型固体撮像素子においては、A/D変換部同士のピッチも減少する。

【0014】A/D変換部を内蔵した従来のMOS型固体撮像素子においては、光電変換素子列の1列毎に1本の出力用信号線が配設され、1本の出力用信号線に1個

ずつA/D変換部が接続される。A/D変換部のサンプル/ホールド回路部は、アナログ電圧信号を安定に保持するために、電気容量が比較的大きいキャパシタ（コンデンサ）を備えている。

【0015】例えば光電変換素子行方向の光電変換素子同士のピッチが $4\mu\text{m}$ 程度となるまで集積度を高めると、A/D変換部を形成する際に高度の微細加工技術が要求されるようになる。これに伴って、その製造コストが増大する。

【0016】本発明の目的は、A/D変換部を内蔵したMOS型固体撮像素子であって、製造コストの増大を抑制しつつ光電変換素子の集積度を向上させることが容易なMOS型固体撮像素子を提供することにある。

【0017】

【課題を解決するための手段】本発明の一観点によれば、半導体基板の表面に複数行、複数列に亘って画素ずらし配置された多数個の光電変換素子と、前記多数個の光電変換素子の各々に1個ずつ付設されたスイッチング回路部であって、各々が、対応する光電変換素子に蓄積された信号電荷量に応じた電気信号を発生することのできる出力用トランジスタを含むスイッチング回路部と、前記複数の光電変換素子行の1行毎に該光電変換素子行に沿って1本ずつ配設された行選択用信号配線であって、各々が、対応するスイッチング回路部それぞれに前記電気信号の発生を制御する行選択信号を供給するために使用される行選択用信号配線と、前記複数の光電変換素子列の2列に1個ずつ配設されたアナログ/デジタル変換部と、前記各2列の光電変換素子列に対応するスイッチング回路部の前記出力用トランジスタの各々と、対応するアナログ/デジタル変換部とを接続する出力用信号線とを備えた固体撮像素子が提供される。

【0018】多数個の光電変換素子を画素ずらし配置することにより、半導体基板上での光電変換素子の実効的集積度を高めることができる。

【0019】ここで、本明細書でいう「画素ずらし配置」とは、奇数番目に当たる光電変換素子列を構成する各光電変換素子に対し、偶数番目に当たる光電変換素子列を構成する光電変換素子の各々が、各光電変換素子列内での光電変換素子同士のピッチ P_1 の約 $1/2$ 、列方向にずれ、奇数番目に当たる光電変換素子行を構成する各光電変換素子に対し、偶数番目に当たる光電変換素子行を構成する光電変換素子の各々が、各光電変換素子行内での光電変換素子同士のピッチ P_2 の約 $1/2$ 、行方向にずれ、光電変換素子行の各々が奇数列または偶数列の光電変換素子のみを含む多数個の光電変換素子の配置を意味する。上記のピッチ P_1 と上記のピッチ P_2 とは同じ値であってもよいし、異なる値であってもよい。

【0020】また、「光電変換素子同士のピッチ P_1 の約 $1/2$ 」とは、 $P_1/2$ を含む他に、製造誤差、設計上もしくはマスク製作上起こる画素位置の丸め誤差等の

要因によって $P_1/2$ からはずれてはいるものの、得られる固体撮像素子の性能およびその画像の画質からみて実質的に $P_1/2$ と同等とみなすことができる値をも含むものとする。本明細書でいう「光電変換素子同士のピッチ P_1 の約 $1/2$ 」についても同様である。

【0021】多数個の光電変換素子を画素ずらし配置した場合、1つの光電変換素子行は、偶数列の光電変換素子のみ、または、奇数列の光電変換素子のみを含む。奇数列の光電変換素子に対応する出力用トランジスタと、偶数列の光電変換素子に対応する出力用トランジスタとは、異なるタイミングで出力用信号線に電気信号を発生させる。

【0022】したがって、光電変換素子列の2列に1個ずつA/D変換部を配設することにより、対応する出力用トランジスタが発生させた電気信号を個別に受け、対応するデジタル信号を発生させることができる。

【0023】このとき、光電変換素子列の1列に1本ずつ当該光電変換素子列に沿って出力用信号線を配設し、2本の出力用信号線に1個ずつA/D変換部を配設する。

【0024】あるいは、光電変換素子列の2列毎に当該2列の光電変換素子列の平面視上の間に1本ずつ出力用信号線を配設し、これらの出力用信号線の1本に1個ずつA/D変換部を配設することもできる。これにより、出力用信号線の数を減少させることができる。

【0025】いずれの場合も、A/D変換部の総数を従来の $1/2$ に低下させることができる。その結果として、光電変換素子の実効的集積度を高めた場合であっても、高度な微細加工技術を用いることなくA/D変換部を形成することが可能になる。これに伴って、製造コストを抑制することが可能になる。

【0026】

【発明の実施の形態】以下、実施例による固体撮像素子について図面を用いて説明する。

【0027】まず、第1の実施例によるMOS型固体撮像素子について、図面を用いて説明する。

【0028】図1(a)は、第1の実施例によるMOS型固体撮像素子100を模式的に示す平面図である。同図に示すように、MOS型固体撮像素子100においては、半導体基板1の一表面側に、フォトダイオードからなる多数個の光電変換素子10が画素ずらし配置されている。図示の簡略化された構成においては、MOS型固体撮像素子100は、16行8列に亘って画素ずらし配置された計64個の光電変換素子10を有する。実際のMOS型固体撮像素子においては、光電変換素子の総数が例えば数10万〜数100万に達する。

【0029】半導体基板1がp型ウェルを備えたn型シリコン基板からなる場合、個々の光電変換素子10は、例えば、前記のp型ウェルの所定箇所にn型領域を形成することによって得ることができる。また、前記のn型

領域の表面に p^+ 型層を形成することにより、埋め込み型のフォトダイオードとなる光電変換素子10を得ることができる。

【0030】光電変換素子10の各々は、読み出しゲートとして利用される部分を除き、半導体基板1に形成された p^+ 型のチャンネルストップ領域により、または、半導体基板1に形成されたフィールド酸化膜により、平面視上取り囲まれる。なお、上記の p^+ 型領域の不純物濃度は、 p 型ウェルの不純物濃度より高い。

【0031】図1(a)においては図示を省略したスイッチング回路部が、光電変換素子10の各々毎に付設されている。各スイッチング回路部は、対応する光電変換素子10に蓄積された信号電荷量に応じた検出電気信号を発生することができる出力用トランジスタを含む。

【0032】図示を省略した行選択用信号配線が、光電変換素子行12の1行に1本ずつ配設される。個々の行選択用信号配線は、対応する光電変換素子行12に沿って延在する。各行選択用信号配線は、対応する光電変換素子行12中の光電変換素子10の各々とスイッチング回路部を介して電気的に接続される。これらの行選択用信号配線は、例えば電気絶縁層を介して半導体基板1上に形成される。

【0033】1列の光電変換素子列11に1本ずつ、計8本の出力用信号線30が配設されている。各出力用信号線30は、対応する光電変換素子列11の各々の左側(図1(a)中での左側)に延在する。

【0034】個々の出力用信号線30は、対応する光電変換素子列11中の光電変換素子10の各々とスイッチング回路部を介して電気的に接続される。各スイッチング回路部中の出力用トランジスタは、対応する光電変換素子10に蓄積された信号電荷量に応じた検出電気信号を、対応する出力用信号線30に発生することができる。

【0035】出力用信号線30は、低抵抗であることが望ましい。特に電流を流して出力を得る場合には、安定な出力を得るために、出力用信号線30を低抵抗にすることが望ましい。例えばアルミニウム、アルミニウム合金、銅、タングステン、タングステン合金、モリブデン、モリブデン合金等の金属材料によって出力用信号線30が形成される。

【0036】金属製の出力用信号線30は、図示を省略した電気絶縁層を介して、半導体基板1上に設けられる。なお、半導体基板1内に導電層を形成し、基板上の導電層と併せて出力用信号線30を形成してもよい。

【0037】図1(a)においては、便宜上、各出力用信号線30を光電素子列11に沿って直線的に描いている。しかしながら、後述するように、個々の出力用信号線30は蛇行させることができる。

【0038】2本の出力用信号線30に1個ずつ、計4個のA/D変換部40が、半導体基板1上に配設されて

いる。個々のA/D変換部40は、対応する2本の出力用信号線30それぞれに電気的に接続されている。

【0039】各A/D変換部40は、A/Dコンバータ45を含んで構成される。例えばサンプル/ホールド回路部41が、個々のA/Dコンバータ45とこれに対応する2本の出力用信号線30との間に配設される。A/Dコンバータ45の各々は、対応する2本の出力用信号線30に発生した検出電気信号に応じたデジタル信号を順次発生し、出力する。

【0040】多数の光電変換素子10が画素ずらし配置されていることから、1個のA/D変換部40に対応する2本の出力用信号線30の各々に同時に検出電気信号が発生することはない。1個のA/D変換部40に対応する2本の出力用信号線30には、その時々で、どちらか一方にのみ検出電気信号が発生する。

【0041】バッファメモリ部50が、例えばデジタルバスによって各A/D変換部40に接続される。このバッファメモリ部50は、例えばDRAM、SRAM等の半導体記憶素子を用いて構成することができる。

【0042】バッファメモリ部50は、A/D変換部40(A/Dコンバータ45)の各々から出力されるデジタル信号を一時的に保持し、保持したデジタル信号の各々を外部に出力することができる。

【0043】走査部60が、例えば半導体基板1における図1(a)中の左縁部に配設される。この走査部60は、図示を省略した行選択用信号配線の各々に所定のタイミングで行選択信号を供給する第1の走査部としての機能を有する。

【0044】走査部60は、例えば、垂直ブランキング期間に制御部70から供給される制御信号を入力信号として受け水平同期パルスによりシフト動作するシフトレジスタと、シフトレジスタの各段の出力信号と水平ブランキング期間に制御部70から供給される制御信号を入力信号との論理積を行選択信号として供給する回路等を含んで構成される。

【0045】制御部70が半導体基板1における図1(a)中の左下縁部に配設され、サンプル/ホールド回路部41、A/Dコンバータ45、バッファメモリ部50および走査部60に電気的に接続される。この制御部70は、第1の走査部の動作を制御する第1の制御部と、A/D変換部40の動作を制御する第4の制御部と、バッファメモリ部50の動作を制御する第5の制御部とを兼ねる。

【0046】制御部70は、例えばクロックカウンタ、基準電圧発生回路、クロック発生回路、垂直・水平同期パルス発生回路、各種制御信号発生回路等を含んで構成される。

【0047】図1(b)は、図1(a)において図示を省略したスイッチング回路部20の1個を示す概念図である。

【0048】スイッチング回路部20の各々は、対応する光電変換素子10および対応する出力用信号線30に電氣的に接続される。また、図1(a)においては図示を省略した行選択用信号配線25とも電氣的に接続される。

【0049】各行選択用信号配線25は、例えばポリシリコン、ポリサイド(ポリシリコンとシリサイドとの積層)、タングステン、タングステン合金、モリブデン、モリブデン合金等の導電性材料によって形成される。

【0050】スイッチング回路部20は、出力用トランジスタ21を含む。スイッチング回路部20には、第1の走査部としての機能を有する走査部60や別チップ上に形成された第1の走査部等から、所定のタイミングで行選択用信号配線25を介して行選択信号が供給される。行選択信号が供給されたスイッチング回路部20中の出力用トランジスタ21は、対応する光電変換素子10に蓄積されている信号電荷量に応じた検出電気信号を出力用信号線30に発生することができる。

【0051】このようなスイッチング回路部20の構成は、特に限定されるものではない。例えば、光電変換素子10を出力用トランジスタ21の出力用電流端子に接続することも可能である。

【0052】例えば、行選択用トランジスタが、出力用トランジスタ21とこれに対応する出力用信号線30との間に直列接続される。行選択用トランジスタは、対応する出力用信号線30に出力用トランジスタが検出電気信号を発生させるのを制御する。このとき、対応する行選択用信号配線25は、行選択用トランジスタの制御端子に電氣的に接続される。また、出力用トランジスタ21は、対応する光電変換素子10に蓄積された信号電荷量に応じた信号をその制御端子に受け、残りの電流端子(ドレイン)には電源電圧が供給される。

【0053】例えば、リセットトランジスタが、光電変換素子10に付設される。リセットトランジスタは、検出電気信号を発生させ終えた光電変換素子10に蓄積されている信号電荷を、例えば電源電圧供給配線に排出する動作を制御する。そのために、リセットトランジスタの制御端子は、リセット信号供給配線に電氣的に接続される。リセット信号供給配線は、対応するリセットトランジスタに所定のタイミングでリセット信号を供給する。リセットトランジスタは、リセット信号が入力されるとオンになり、対応する光電変換素子10から例えば電源電圧供給配線に信号電荷を排出することを可能にする。

【0054】例えば、転送用トランジスタが、光電変換素子10に付設される。転送用トランジスタは、対応する光電変換素子10と出力用トランジスタ21との間に接続されて、光電変換素子10から出力用トランジスタ21の制御端子への信号の供給を制御する。そのため、転送用トランジスタの制御端子は、転送制御信号供

給配線に電氣的に接続される。転送制御信号供給配線は、対応する転送用トランジスタに所定のタイミングで転送制御信号を供給する。転送用トランジスタは、転送制御信号が入力されるとオンになり、対応する光電変換素子10から出力用トランジスタ21への信号の供給を可能にする。

【0055】図2は、MOS型固体撮像素子100において光電変換素子10の各々に付設されるスイッチング回路部20の一例を示す等価回路図である。同図に示した構成要素のうちで既に図1(a)または図1(b)に示したものについては、図1(a)または図1(b)で用いた符号と同じ符号を付してその説明を省略する。

【0056】図2に示したスイッチング回路部20の各々は、出力用トランジスタ21と、行選択用トランジスタ22と、リセットトランジスタ23とを1個ずつ含んで構成されている。これらのトランジスタは、例えばMOSトランジスタからなる。

【0057】出力用トランジスタ21の各々の制御端子(ゲート)は、対応する光電変換素子10に電氣的に接続されている。また、出力用トランジスタ21の各々のドレインは、対応する電源電圧供給配線31と電氣的に接続されている。

【0058】電源電圧供給配線31は、光電変換素子列11の1列に1本ずつ配設されている。個々の電源電圧供給配線31は、対応する光電変換素子列11の左側(図2中での左側)に沿って延在する。電源電圧が、各電源電圧供給配線31に供給される。

【0059】各電源電圧供給配線31は、出力用信号線30と同様に、例えばアルミニウム、アルミニウム合金、銅、タングステン、タングステン合金、モリブデン、モリブデン合金等の金属材料によって形成される。

【0060】行選択用トランジスタ22の各々は、対応する出力用トランジスタ21に直列接続され、電源電圧供給配線31と出力用トランジスタ21との間に接続されている。各行選択用トランジスタ22の制御端子(ゲート)は、所定の行選択用信号配線25に電氣的に接続されている。構造的には、行選択用信号配線25の一部が行選択用トランジスタ22のゲート電極を兼ねていてもよい。

【0061】個々の行選択用トランジスタ22は、対応する行選択用信号配線25からの行選択信号により、オン/オフ制御される。行選択用トランジスタ22がオンになると、対応する出力用トランジスタ21が、光電変換素子10に蓄積されている信号電荷量に応じた検出電気信号を出力用信号線30に発生させる。

【0062】リセットトランジスタ23の各々は、電源電圧供給配線31と光電変換素子10との間にあって、対応する出力用トランジスタ21の制御端子と電源電圧供給配線31との間に接続されている。各リセットトランジスタ23の制御端子(ゲート)は、所定のリセット

信号供給配線 3 2 に電氣的に接続されている。構造的には、リセット信号供給配線 3 2 の一部がリセットトランジスタ 2 2 のゲート電極を兼ねていてもよい。

【0063】リセット信号供給配線 3 2 は、光電変換素子行 1 2 の 1 行に 1 本ずつ配設されている。個々のリセット信号供給配線 3 2 は、対応する光電変換素子行 1 2 の上側（図 2 中での上側）に沿って延在する。

【0064】リセット信号供給配線 3 2 の各々は、第 2 の走査部から所定のタイミングで供給されるリセット信号を、対応するリセットトランジスタ 2 3 の各々に伝達する。例えば、図 1 (a) に示した走査部 6 0 が第 2 の走査部を兼ねる。第 2 の走査部の動作は、第 2 の制御部によって制御される。例えば、図 1 (a) に示した制御部 7 0 が第 2 の制御部を兼ねる。

【0065】各リセット信号供給配線 3 2 は、例えばポリシリコン、ポリサイド、タングステン、タングステン合金、モリブデン、モリブデン合金等の導電性材料によって形成される。

【0066】各リセットトランジスタ 2 3 は、対応するリセット信号供給配線 3 2 からのリセット信号により、オン/オフ制御される。リセットトランジスタ 2 3 がオンになると、対応する光電変換素子 1 0 に蓄積されている信号電荷が、対応する電源電圧供給配線 3 1 に排出される。

【0067】図 3 は、光電変換素子 1 0 と、これに付設されているスイッチング回路部 2 0 との平面配置の一例を示す概略図である。図 2 に示した構成要素のうちで既に図 2 に示したものについては、図 2 で用いた符号と同じ符号を付してその説明を省略する。

【0068】図 3 に示したように、出力用トランジスタ 2 1 は、例えば半導体基板 1 (図 1 (a) 参照) 上に形成されたゲート電極 2 1 a と、ゲート電極 2 1 a の両側に形成された不純物拡散領域 (n 型領域) 2 1 b、2 1 c とを含んで構成される。

【0069】不純物拡散領域 (n 型領域) 2 1 b の一端は、電源電圧供給配線 3 1 の所定箇所と平面視上交差し、ここにおいて電源電圧供給配線 3 1 と電氣的に接続されている。不純物拡散領域 (n 型領域) 2 1 c の一端は、平面視上、行選択用信号配線 2 5 の所定箇所において、その線幅方向の縁部に達している。

【0070】ゲート電極 2 1 a は、例えば、半導体基板 1 を熱酸化して得られた電気絶縁膜上に設けられたポリシリコン層で形成される。このゲート電極 2 1 a は、例えば金属配線 2 1 d によって光電変換素子 1 0 に電氣的に接続される。金属配線 2 1 d は、図示を省略した電気絶縁層を介して半導体基板 1 上に形成される。

【0071】金属配線 2 1 d とゲート電極 2 1 a とは、結線部を除いて、電気絶縁層によって互いに絶縁されている。金属配線 2 1 d と光電変換素子 1 0 についても同様である。

【0072】図 3 中に示した、矩形とその中の×印とからなる記号は、コンタクト領域を示す。

【0073】図 3 に示したように、行選択用トランジスタ 2 2 は、例えば行選択用信号配線 2 5 の所定箇所からなるゲート電極 2 2 a と、ゲート電極 2 2 a の両側に形成された不純物拡散領域 (n 型領域) 2 2 b、2 2 c とを含んで構成される。図示を省略した電気絶縁層が、行選択用信号配線 2 5 と半導体基板 1 との間に介在する。不純物拡散領域 (n 型領域) 2 2 b の一端は、出力用信号線 3 0 の所定箇所と平面視上交差し、ここにおいて出力用信号線 3 0 と電氣的に接続されている。

【0074】行選択用信号配線 2 5 と出力用信号線 3 0 との平面視上の交差部においては、例えば行選択用信号配線 2 5 よりも出力用信号線 3 0 の方が半導体基板 1 からみて上方に形成される。行選択用信号配線 2 5 と出力用信号線 3 0 とは、図示を省略した電気絶縁層によって互いに絶縁されている。

【0075】図 3 に示したように、リセットトランジスタ 2 3 は、例えばリセット信号供給配線 3 2 の所定箇所からなるゲート電極 2 3 a と、このゲート電極 2 3 a の両側に形成された不純物拡散領域 (n 型領域) 2 3 b、2 3 c とを含んで構成される。図示を省略した電気絶縁層が、リセット信号供給配線 3 2 と半導体基板 1 との間に介在する。

【0076】不純物拡散領域 (n 型領域) 2 3 b の一端は、電源電圧供給配線 3 1 の所定箇所と平面視上交差し、ここにおいて電源電圧供給配線 3 1 と電氣的に接続されている。不純物拡散領域 (n 型領域) 2 3 c の一端は、光電変換素子 1 0 の所定箇所と平面視上交差し、ここにおいて光電変換素子 1 0 と電氣的に接続されている。

【0077】リセット信号供給配線 3 2 と電源電圧供給配線 3 1 との平面視上の交差部においては、例えばリセット信号供給配線 3 2 よりも電源電圧供給配線 3 1 の方が半導体基板 1 からみて上方に形成される。リセット信号供給配線 3 2 と出力用信号線 3 0 との平面視上の交差部においては、例えばリセット信号供給配線 3 2 よりも出力用信号線 3 0 の方が半導体基板 1 からみて上方に形成される。

【0078】出力用信号線 3 0 と電源電圧供給配線 3 1 とは、半導体基板 1 からみてどちらかを他方の上方に形成してもよいし、両者を同一の電気絶縁層上に形成してもよい。

【0079】リセット信号供給配線 3 2、電源電圧供給配線 3 1、出力用信号線 3 0 および行選択用信号配線 2 5 は、図示を省略した電気絶縁層によって互いに絶縁されている。

【0080】出力用信号線 3 0 および電源電圧供給配線 3 1 は、平面視上、対応する光電変換素子列 1 1 (図 1 (a) 参照) に沿って図 2 に示したように蛇行させるこ

とができる。出力用信号線30および電源電圧供給配線31はそれぞれ金属材料によって形成されるので、蛇行させることによってその長さがある程度長くなっても、実用上大きな障害とはならない。

【0081】光電変換素子10およびその周辺を含む八角形の領域を想定すると、1列の光電変換素子列11(図1(a)参照)は、計8個の八角形が所定の間隔をあけながら一定のピッチで同じ向きに配列されたものとみなすことができる。1つの光電変換素子列11に対応する出力用信号線30および電源電圧供給配線31は、平面視上、前記八角形それぞれの辺に沿って光電変換素子列11の左側を蛇行しつつ延在させることができる。このとき、列方向に相隣る2つの八角形を分離している領域においては、平面視上、光電変換素子列11の延在方向(列方向)に沿って出力用信号線30および電源電圧供給配線31を延在させることができる。なお、前記の八角形は、光電変換素子列11の延在方向に平行な2つの辺と光電変換素子行12の延在方向に平行な2つの辺とを有し、かつ、全ての内角が鈍角からなる八角形であるものとする。

【0082】同様に、行選択用信号配線25およびリセット信号供給配線32は、平面視上、対応する光電変換素子行12(図1(a)参照)に沿って蛇行させることができる。

【0083】図2に示した等価回路における行選択用信号配線25の形状は、作図の便宜上、図3に示した行選択用信号配線25の平面視上の形状と異なっている。同様に、図2に示したリセット信号供給配線32の形状は、作図の便宜上、図3に示したリセット信号供給配線32の平面視上の形状と異なっている。

【0084】行選択用信号配線25およびリセット信号供給配線32それぞれの平面視上の形状をどのような形状にするかは、適宜選択可能である。出力用信号線30および電源電圧供給配線31それぞれの平面視上の形状についても同様である。

【0085】出力用信号線30および電源電圧供給配線31それぞれの平面視上の形状を蛇行形状とする場合、その形状は上述の形状に限定されるものではない。上記の八角形に代えて他の形状、例えば矩形、五角形、六角形、円形、楕円形を想定してもよい。また、想定した形状の辺に沿って出力用信号線30および電源電圧供給配線31それぞれを必ず蛇行させなければならないというものでもない。

【0086】本実施例のMOS型固体撮像素子100においては、光電変換素子10の各々が光電変換することによって、この光電変換素子10に信号電荷が蓄積される。光電変換素子10に信号電荷が蓄積されると、対応する出力用トランジスタ21のゲート電極21aに、蓄積された信号電荷量に応じた信号(電圧)が供給される。出力用トランジスタ21の抵抗値が変化する。

【0087】走査部60によって所定の行選択用信号配線25に行選択信号が供給されると、この行選択用信号配線25に電気的に接続されている行選択用トランジスタ22の各々がオンになる。その結果として、対応する出力用トランジスタ21の各々が一齐に、電源電圧供給配線31と対応する出力用信号線30との間に接続される。出力用信号線30には、後述する負荷トランジスタ35が接続されている。出力用トランジスタ21と負荷トランジスタ35との抵抗に応じた電圧が、出力用信号線30に発生する。

【0088】A/D変換部40は、出力用信号線30に発生した検出電気信号に応じたデジタル信号を発生し、このデジタル信号をバッファメモリ部50に出力する。

【0089】図4は、図1(a)に示したA/D変換部40の1個、および、バッファメモリ部50の一部を示す概略図である。

【0090】前述したように、図示のA/D変換部40の各々は、A/Dコンパレータ45と、これに対応する2本の出力用信号線30との間に配設されたサンプル/ホールド回路部41とを有する。

【0091】図示の構成においては、2本の出力用信号線30の各々がその一端において1本の配線に共通接続され、1個のA/D変換部40に電気的に接続されている。1個の負荷トランジスタ35が、共通配線に接続されている。

【0092】光電変換素子10に蓄積されている信号電荷量に応じた出力用トランジスタ21(図2または図3参照)が抵抗を変化させると、これに応じた検出電気信号(アナログ電圧信号)が出力用信号線30と負荷トランジスタ35との接続点に発生する。

【0093】1行の光電変換素子行12は、偶数列または奇数列の光電変換素子10のみを含む。したがって、負荷トランジスタ35の各々は、奇数列の光電変換素子列11に対応する1本の出力用信号線30と、偶数列の光電変換素子列11に対応する1本の出力用信号線30とに電気的に接続される。1個の負荷トランジスタ35に異なる2個のスイッチング回路部20が同時に接続されることはない。

【0094】負荷トランジスタ35(出力用信号線30)に発生したアナログ電圧信号は、対応するA/D変換部40のサンプル/ホールド回路部41に供給される。

【0095】サンプル/ホールド回路部41は、例えば、サンプル用トランジスタ42と、その出力側に電気的に接続されたキャパシタ(コンデンサ)43とを含む。

【0096】サンプル信号供給配線44が、サンプル用トランジスタ42の制御端子(ゲート)に接続される。サンプル用トランジスタ42の動作は、第4の制御部を兼ねている制御部70(図1(a)参照)からサンプル

信号供給配線 4 を介して供給されるサンプル制御信号によって制御される。

【0097】サンプル制御信号によってサンプル用トランジスタ 42 がオンすると、アナログ電圧信号がキャパシタ（コンデンサ）43 に供給（サンプル）される。その後、サンプル用トランジスタ 42 がオフされると、キャパシタ（コンデンサ）43 は電氣的に分離され、サンプルした電圧を保持する（ホールド）。例えば光電変換素子 10 が入射光強度に応じて電子を蓄積する場合、キャパシタ（コンデンサ）43 にホールドされる電圧は、入射光強度が強い程低い電圧となる。

【0098】A/Dコンバータ 45 は、例えば、比較器 46 とラッチ回路 47 とを含む。例えば、一定の勾配で低下する鋸歯状電圧波形からなる基準電圧信号が、第 4 の制御部を兼ねている制御部 70（図 1（a）参照）から基準電圧信号供給配線 48 を介して比較器 46 の一方の入力に供給される。キャパシタ（コンデンサ）43 にホールドされているアナログ電圧信号（以下、「電圧 1」という。）が比較器 46 の他方の入力に供給される。比較器 46 は、基準電圧信号の値と電圧 1 の値とを比較し、電圧 1 の値が基準電圧信号の値と差した時点でラッチ回路 47 に制御動作信号を出力する。

【0099】カウント信号が、第 4 の制御部を兼ねている制御部 70（図 1（a）参照）からカウント信号供給配線 49 を介してラッチ回路 47 に供給される。

【0100】ラッチ回路 47 は、カウント信号のカウント値を、比較器 46 から制御動作信号が供給された時点で保持する。保持されたカウント値は、サンプル/ホールド回路部 41 に供給されたアナログ電圧信号に相当し、したがって光電変換素子 10 に蓄積された信号電荷の量をデジタル信号に変換したものに相当する。ラッチ回路 47 は、このカウント値をバッファメモリ部 50 に出力する。

【0101】制御信号が、第 5 の制御部を兼ねている制御部 70（図 1（a）参照）から制御信号供給配線 51 を介してバッファメモリ部 50 に供給される。ラッチ回路 47 から入力されたカウント値は、バッファメモリ部 50 に供給された制御信号に基づいて、バッファメモリ部 50 中の所定のメモリ 52 に記憶される。

【0102】メモリ 52 に記憶されたカウント値は、制御部 70（図 1（a）参照）から制御信号供給配線 51 を介して供給される他の制御信号に基づいて、デジタル出力バス 53 へ出力される。

【0103】図 5 を参照して、上述した MOS 型固体撮像素子 100 の動作例を説明する。なお、便宜上、各光電変換素子行を、A/D 変換部 40 に近い順に第 1 光電変換素子行、第 2 光電変換素子行、……第 15 光電変換素子行、第 16 光電変換素子行と呼ぶものとする。また、第 n （ n は 1～16 の整数）光電変換素子行を構成している各光電変換素子行を第 n 行の光電変換素子と呼

び、第 n （ n は 1～16 の整数）光電変換素子行に対応する行選択用信号配線を第 n 行選択用信号配線と呼び、第 n （ n は 1～16 の整数）光電変換素子行に対応するリセット信号供給配線を第 n リセット信号供給配線と呼ぶものとする。

【0104】まず、水平同期パルス HD によって固定される水平ブランキング期間に入ると、制御部 70 が所定の制御信号を走査部 60 に供給する。走査部 60 は、この制御信号によって、第 n 行選択用信号配線 25 に行選択信号 RW_n を供給する。第 n 行選択用信号配線 25 に電氣的に接続されている各行選択用トランジスタ 22 がオンされる。第 n 行の光電変換素子 10 の蓄積電圧をゲートに受けている出力用トランジスタ 21 が、電源電圧供給配線 31 と出力用信号線 30 との間に接続される。第 n 行の光電変換素子 10 の各々に蓄積されている信号電荷量に応じた検出電気信号が、対応する出力用信号線 30 の各々に発生する。

【0105】第（ $n-1$ ）行の光電変換素子 10 からの検出電気信号に基づいたカウント値がラッチ回路 47 に保持されている場合には、行選択信号 RW_n の供給に先だって、次の動作が行われる。すなわち、制御部 70 が所定の制御信号を制御信号供給配線 51 に供給し、これによって、ラッチ回路 47 に保持されているカウント値をメモリ 52 に記憶させる。

【0106】第 n 行の光電変換素子 10 の各々に蓄積されている信号電荷量に応じた検出電気信号が対応する出力用信号線 30 に発生すると、出力用信号線 30 と負荷トランジスタ 35 との接続点に、検出電気信号に応じたアナログ電圧信号が発生する。これらのアナログ電圧信号のそれぞれは、負荷トランジスタ 35 に対応する A/D 変換部 40 のサンプル/ホールド回路部 41 に供給される。

【0107】制御部 70 は、第 n 行選択用信号配線 25 に行選択信号 RW_n が供給されている期間内に、サンプル信号供給配線 44 にサンプル制御信号 SH を供給する。サンプル制御信号 SH がハイの時、各サンプル用トランジスタ 42 がオンされ、対応するキャパシタ（コンデンサ）43 の各々にアナログ電圧信号がサンプルされる。サンプル制御信号 SH がローに戻ると、各サンプル用トランジスタ 42 がオフされ、キャパシタ（コンデンサ）43 の各々はサンプルしたアナログ電圧信号をホールドする。

【0108】サンプル制御信号 SH の供給後、制御部 70 は、第 n リセット信号供給配線 32 にリセット信号 RS_n を供給するように走査部 60 を制御する。第 n リセット信号供給配線 32 に接続されている第 n 行のリセットトランジスタ 23 の各々がオンされる。第 n 行の光電変換素子 10 の各々に蓄積されている信号電荷が、対応する電源電圧供給配線 31 に排出される。信号電荷を排出し終えた第 n 行の光電変換素子 10 の各々にリッ

17

ト信号 R_S がローに戻った後、次の信号電荷の蓄積を開始することができる。

【0109】制御部 70 は、上記の水平ブランキング期間が終了した後に、制御信号供給配線 51 を介して所定の制御信号をバッファメモリ部 50 に供給する。バッファメモリ部 50 は、この制御信号によって、各メモリ 52 に記憶していたカウント値、すなわち、第 (n-1) 行の光電変換素子 10 からの検出電気信号に基づいたカウント値を、デジタル出力バス 53 へ出力する。デジタル出力バス 53 に出力された各カウント値は、第 (n-1) 行の光電変換素子 10 それぞれからのデジタル画像データとして、外部に出力される。

【0110】制御部 70 内のクロックカウンタが、水平ブランキング期間が終了した後の所定の時刻 T₁ においてカウントを開始する。制御部 70 は、このカウント信号をカウント信号供給配線 49 を介して各ラッチ回路 47 に供給する。また、制御部 70 内の基準電圧発生回路から発生する基準電圧信号 R_V の信号レベルが、上記の時刻 T₁ から一定の勾配で低下し始める。すなわち、一定の勾配で低下する鋸歯状電圧波形を発生する。基準電圧信号 R_V は、基準電圧信号供給配線 48 を介して各比較器 46 に供給される。クロックカウンタのカウント動作と基準電圧信号 R_V の信号レベルの低下とは、所定の時刻 T₄ まですべて続く。なお、基準電圧信号 R_V は、一定の勾配で上昇する鋸歯状電圧波形でもよい。カウント値によって電圧が同定できればよい。

【0111】第 n 行の光電変換素子 10 に蓄積されている信号電荷量に応じたアナログ電圧信号がキャパシタ（コンデンサ）43 に保持されると、このアナログ電圧信号に応じた電圧 I が、対応する比較器 46 に供給される。

【0112】比較器 46 は、基準電圧信号 R_V の値と電圧 I の値とを比較し、電圧 I の値が基準電圧信号 R_V の値と交差した時点で、対応するラッチ回路 47 に制御動作信号を出力する。

【0113】ラッチ回路 47 は、カウント信号供給配線 49 を介して供給されるカウント信号のカウント値を、比較器 46 から制御動作信号が供給された時点で保持する。ラッチ回路 47 に保持されたカウント値は、第 n 行の光電変換素子 10 に蓄積された信号電荷の量をデジタル信号（デジタル画像データ）に変換したものに相当する。

【0114】例えば図 5 に示した時刻 T₂ において比較器 46 がラッチ回路 47 に制御動作信号を出力すると、ラッチ回路 47 が保持するカウント値は比較的小さくなる。このカウント値は、MOS 型固体撮像素子 100 が白黒撮像用の固体撮像素子である場合、例えば暗い灰色を表すデジタル信号となる。また、例えば図 5 に示した時刻 T₃ において比較器 46 がラッチ回路 47 に制御動作信号を出力すると、ラッチ回路 47 が保持するカウン

18

ト値は比較的大きくなる。このカウント値は、MOS 型固体撮像素子 100 が白黒撮像用の固体撮像素子である場合、例えば明るい灰色を表すデジタル信号となる。

【0115】この後、水平同期/HS HD によって次の水平ブランキング期間が画定されて、第 (n+1) 行選択用信号配線 25 に行選択信号 R_{Wn+1} が供給される。上記と同様の動作が行われて、まず、第 n 行光電変換素子 10 の各々に蓄積された信号電荷量に応じたカウント値（デジタル画像データ）が各ラッチ回路 47 からバッファメモリ部 50 へ出力される。この後、各第 (n+1) 行光電変換素子 10 に蓄積された信号電荷の量に応じたカウント値が、対応するラッチ回路 47 に保持される。

【0116】1 画面分のデジタル信号（デジタル画像データ）が得られるまで、水平ブランキング期間が繰り返して画定され、上述した動作と同様の動作が行われる。

【0117】順次走査用のデジタル画像データは、第 1 光電変換素子行から昇順で順次、または、第 16 光電変換素子行から降順で順次、上述した動作を行うことによって得られる。

【0118】インターレース走査用のデジタル画像データを得るにあたっては、まず、第 1 フィールドと第 2 フィールドを適宜選定する。例えば、第 1、2、5、9、10、13 および 14 光電変換素子行を第 1 フィールドの光電変換素子行とし、第 3、4、7、8、11、12、15 および 16 光電変換素子行を第 2 フィールドの光電変換素子行として選定することができる。選定した各フィールド毎に、昇順または降順で上述した動作を行うことにより、インターレース走査用のデジタル画像データを得ることができる。

【0119】高速間引き走査用のデジタル画像データを得るにあたっては、まず、所望の数の光電変換素子行を選定する。光電変換素子列の方向に 1/4 に間引いたデジタル画像データを得る際には、例えば、(1) 第 1、2、9 および 10 光電変換素子行、(2) 第 3、4、11 および 12 光電変換素子行、(3) 第 5、6、13 および 14 光電変換素子行、または、(4) 第 7、8、15 および 16 光電変換素子行を選定することができる。選定した各光電変換素子行に対して昇順または降順で上述した動作を行うことにより、高速間引き走査用のデジタル画像データを得ることができる。

【0120】次に、第 1 の実施例の変形例による MOS 型固体撮像素子について図 6 を用いて説明する。

【0121】図 6 は、本変形例による MOS 型固体撮像素子 100 a において光電変換素子 10 に付設されるスイッチング回路部 20 の一例を示す等価回路図である。

【0122】図 6 に示したように、MOS 型固体撮像素子 100 a においては、電源電圧供給配線 31 が、光電変換素子行 12 の 1 行毎にこの光電変換素子行 12 に沿って 1 本ずつ配設されている。この点以外は、第 1 の実

施例のMOS型固体撮像素子100と同様である。

【0123】このため、MOS型固体撮像素子100aについては、スイッチング回路部20aの等価回路図を概略的に図6に示し、他の箇所の図示を省略する。図6に示した構成要素のうちで既に図1(a)または図2に示したものについては、図1(a)または図2で用いた符号と同じ符号を付してその説明を省略する。

【0124】MOS型固体撮像素子100aは、出力用信号線30と電源電圧供給配線31とを交差させて配置するため、別の配線層を必要とする。

【0125】しかしながら、MOS型固体撮像素子100aの動作自体は第1の実施例のMOS型固体撮像素子100と同様である。したがって、その動作については説明を省略する。

【0126】次に、第1の実施例の他の変形例によるMOS型固体撮像素子について図7を用いて説明する。

【0127】図7は、本変形例によるMOS型固体撮像素子100bにおいて光電変換素子10に付設されるスイッチング回路部20の一例を概略的に示す等価回路図である。

【0128】同図に示したように、MOS型固体撮像素子100bにおいては、電源電圧供給配線31に行選択用トランジスタ22が接続され、出力用トランジスタ21は行選択用トランジスタ22と出力用信号線30との間に接続されている。行選択用信号配線25は、光電変換素子行の1行毎にこの光電変換素子行に沿ってその上側(図中での上側)に1本ずつ配設されている。これらの点以外は、第1の実施例のMOS型固体撮像素子100と同様である。

【0129】このため、MOS型固体撮像素子100aについては、スイッチング回路部20の等価回路図を概略的に図7に示し、他の箇所の図示を省略する。図7に示した構成要素のうちで既に図1(a)または図2に示したものについては、図1(a)または図2で用いた符号と同じ符号を付してその説明を省略する。

【0130】MOS型固体撮像素子100bの動作自体は、第1の実施例のMOS型固体撮像素子100と同様である。したがって、その動作については説明を省略する。

【0131】次に、第1の実施例の更なる他の変形例によるMOS型固体撮像素子について図8(a)を用いて説明する。

【0132】図8(a)は、本変形例によるMOS型固体撮像素子100cにおいて光電変換素子10に付設されるスイッチング回路部20aの一例を概略的に示す等価回路図である。

【0133】同図に示したように、MOS型固体撮像素子100cにおいては、1つのスイッチング回路部20aが出力用トランジスタ21、行選択用トランジスタ22、リセットトランジスタ23および転送用トランジスタ

24の計4個のトランジスタを含む。電源電圧供給配線31が、光電変換素子行の1行毎にこの光電変換素子行に沿って1本ずつ配設されている。また、転送信号供給配線33が、光電変換素子行の1行毎にこの光電変換素子行に沿って1本ずつ配設されている。

【0134】各転送用トランジスタ24は、対応する光電変換素子10と出力用トランジスタ21とに接続されている。これらの転送用トランジスタ24の制御端子(ゲート)は、対応する転送信号供給配線33に電気的に接続されている。

【0135】転送用トランジスタ24の各々は、例えばMOSトランジスタからなる。転送信号供給配線33の各々は、例えばポリシリコン、ポリサイド、アルミニウム、タンダステン、タンダステン合金、モリブデン、モリブデン合金等の導電性材料によって形成される。

【0136】各転送信号供給配線33は、第3の走査部に電気的に接続されている。第3の走査部は、転送信号供給配線33の各々に所定のタイミングで転送信号を供給する。図1(a)に示した走査部60は、第3の走査部を兼ねることができる。

【0137】第3の走査部の動作を制御する第3の制御部が配設される。図1(a)に示した制御部70は、第3の制御部を兼ねることができる。

【0138】上述した点を除けば、MOS型固体撮像素子100cの構成は、第1の実施例のMOS型固体撮像素子100の構成と同様である。

【0139】このため、MOS型固体撮像素子100cについては、スイッチング回路部20aの等価回路図を概略的に図8(a)に示し、他の箇所の図示を省略する。図8(a)に示した構成要素のうちで既に図1(a)または図2に示したものについては、スイッチング回路部20aを除いて図1(a)または図2で用いた符号と同じ符号を付し、その説明を省略する。

【0140】転送用トランジスタ24に転送信号が供給されると、転送用トランジスタ24がオンされ、光電変換素子10に蓄積されている信号電荷量に応じた信号が出力用トランジスタ21の制御端子(ゲート)に供給される。

【0141】転送用トランジスタ24に供給される転送信号は、水平ブランキング期間内の所定の時期、例えば、対応する行選択用トランジスタ22に行選択用信号を供給する時期、に同期して供給される。

【0142】MOS型固体撮像素子100cの動作は、転送用トランジスタ24に関する動作を除き、第1の実施例のMOS型固体撮像素子100と同様である。したがって、他の動作についてはその説明を省略する。

【0143】次に、第1の実施例の更なる他の変形例によるMOS型固体撮像素子について図8(b)を用いて説明する。

【0144】図8(b)は、本変形例によるMOS型固

体撮像素子 100d において光電変換素子 10 に付設されるスイッチング回路部 20a の一例を概略的に示す等価回路図である。

【0145】 図 9 に示したように、MOS 型固体撮像素子 100d においては、電源電圧供給配線 31 に行選択用トランジスタ 22 が接続され、出力用トランジスタ 21 は行選択用トランジスタ 22 と出力用信号線 30 との間に接続されている。行選択用信号配線 25 は、光電変換素子行の 1 行毎にこの光電変換素子行に沿ってその上側（図中での上側）に 1 本ずつ配設されている。これらの点以外は、図 8 (a) に示した MOS 型固体撮像素子 100c と同様である。

【0146】 このため、MOS 型固体撮像素子 100d については、スイッチング回路部 20d の等価回路図を概略的に図 8 (b) に示し、他の箇所の図示を省略する。図 8 (b) に示した構成要素のうちで既に図 8 (a) に示したもののについては、図 8 (a) で用いた符号と同じ符号を付してその説明を省略する。

【0147】 MOS 型固体撮像素子 100d の動作自体は、図 8 (a) に示した MOS 型固体撮像素子 100c と同様である。したがって、その動作については説明を省略する。

【0148】 次に、第 2 の実施例による MOS 型固体撮像素子について、図 9 および図 10 を用いて説明する。

【0149】 図 9 は、第 2 の実施例による MOS 型固体撮像素子 200 を模式的に示す平面図である。

【0150】 図 10 は、図 9 に示した MOS 型固体撮像素子 200 において光電変換素子 10 に付設されるスイッチング回路部 20 の一例を概略的に示す等価回路図である。

【0151】 第 2 の実施例による MOS 型固体撮像素子 200 は、(i) 光電変換素子列 11 の 2 列毎に、これら 2 列の光電変換素子列 11 の平面視上の間に出力用信号線 30 が 1 本ずつ配設されている点、(ii) 光電変換素子列 11 の 2 列毎に、これら 2 列の光電変換素子列 11 の平面視上の間に電源電圧供給配線 31 が 1 本ずつ配設されている点、(iii) 1 本の出力用信号線 30 に 1 個ずつ A/D 変換部 40 が配設されている点、および、(iv) 1 本の出力用信号線 30 に 1 個ずつ負荷トランジスタ 35（負荷トランジスタ 35 については図 4 参照）が配設されている点で、第 1 の実施例の MOS 型固体撮像素子 100 と異なる。

【0152】 相隣る 2 列の光電変換素子列 11 の平面視上の間を「光電変換素子列間」と呼ぶものとすると、図示の MOS 型固体撮像素子 200 においては、出力用信号線 30 と電源電圧供給配線 31 とが、異なる光電変換素子列間に形成されている。出力用信号線 30 と電源電圧供給配線 31 とは、同じ光電変換素子列間に形成することも可能である。

【0153】 上記 (i) ~ (iv) の各点を除いた構成は第 1

の実施例の MOS 型固体撮像素子 100 と同様であり、その動作も第 1 の実施例の MOS 型固体撮像素子 100 と同様である。

【0154】 このため、MOS 型固体撮像素子 200 については、図 9 または図 10 に示した箇所以外の箇所の図示を省略する。図 9 または図 10 に示した構成要素のうちで既に図 1 (a) または図 2 に示したものであるについては、図 1 (a) または図 2 で用いた符号と同じ符号を付してその説明を省略する。MOS 型固体撮像素子 200 の動作についても、その説明を省略する。

【0155】 次に、第 2 の実施例の変形例による MOS 型固体撮像素子について図 11 を用いて説明する。

【0156】 図 11 は、本変形例による MOS 型固体撮像素子 200a において光電変換素子 10 に付設されるスイッチング回路部 20 の一例を概略的に示す等価回路図である。

【0157】 図 9 に示したように、MOS 型固体撮像素子 200a においては、電源電圧供給配線 31 が、光電変換素子行の 1 行毎にこの光電変換素子行に沿って 1 本ずつ配設されている。この点以外は、図 9 および図 10 を用いて説明した第 2 の実施例の MOS 型固体撮像素子 200 と同様である。

【0158】 このため、MOS 型固体撮像素子 200a については、スイッチング回路部 20 の等価回路図を概略的に図 11 に示し、他の箇所の図示を省略する。図 11 に示した構成要素のうちで既に図 9 または図 10 に示したもののについては、図 9 または図 10 で用いた符号と同じ符号を付してその説明を省略する。

【0159】 MOS 型固体撮像素子 200a は、出力用信号線 30 と電源電圧供給配線 31 とを交差させて配置するため、別の配線層を必要とする。

【0160】 しかしながら、MOS 型固体撮像素子 200a の動作自体は第 2 の実施例の MOS 型固体撮像素子 200 と同様である。したがって、その動作については説明を省略する。

【0161】 なお、図示を省略するが、第 2 の実施例の MOS 型固体撮像素子 200 についても、図 8 (a) または図 8 (b) を用いて説明した MOS 型固体撮像素子 100c、100d と同様に、スイッチング回路部 20 の各々を、出力用トランジスタ 21、行選択用トランジスタ 22、リセットトランジスタ 23 および転送用トランジスタ 24 の計 4 個のトランジスタを用いて構成することができる。

【0162】 これら 4 個のトランジスタを用いて 1 個のスイッチング回路部を構成した場合の MOS 型固体撮像素子 200 は、既に説明した MOS 型固体撮像素子 100c、100d と同様にして動作させることができる。

【0163】 次に、第 3 の実施例による MOS 型固体撮像素子について図 12 を用いて説明する。

【0164】 図 12 は、第 3 の実施例による MOS 型固

体撮像素子 210 を概略的に示す断面図である。同図に示した MOS 型固体撮像素子 210 は、第 1 の実施例の MOS 型固体撮像素子 100 に光遮蔽膜 80、色フィルタアレイ 85、マイクロレンズアレイ 90 を付設したカラー撮像用の MOS 型固体撮像素子である。

【0165】図 12 に示した半導体基板 1、光電変換素子 10、行選択用信号配線 25、リセット信号供給配線 32 の各断面は、図 3 に示した A-A 線に沿って MOS 型固体撮像素子 100 を切断したときの断面にほぼ相当する。

【0166】図 12 に示したように、MOS 型固体撮像素子 210 は、片面に p 型ウェル 1a を備えた n 型シリコン基板からなる半導体基板 1 を備えている。

【0167】フォトダイオードからなる多数個の光電変換素子 10 が、半導体基板 1 に要素すら配置されている。ただし、図 12 においては 1 個の光電変換素子 10 のみが示されている。

【0168】個々の光電変換素子 10 は、p 型ウェル 1a の所定箇所に n 型領域 10a を形成し、その表面に p⁺ 型層 10b を形成することによって形成された埋め込み型のフォトダイオードからなる。光電変換素子 10 の各々は、p 型ウェル 1a に形成されたチャンネルストップ領域 2 によって、平面視上取り囲まれている。

【0169】例えば熱酸化膜からなる電気絶縁層 3 が、光電変換素子 10 が形成されている側の半導体基板 1 表面に形成されている。

【0170】MOS 型固体撮像素子 100 についての説明の中で述べた各出力用トランジスタ 21、各行選択用トランジスタ 22、各リセット用トランジスタ 23、各行選択用信号配線 25、各出力用信号線 30、各電源電圧供給配線 31 および各リセット信号供給配線 32 が、電気絶縁層 3 の上方に配設されている。図 12 においては、1 本の行選択用信号配線 25 と 1 本のリセット信号供給配線 32 とがみえている。これら行選択用信号配線 25 およびリセット信号供給配線 32 それぞれの表面には、例えば熱酸化膜からなる電気絶縁層 4 が形成されている。

【0171】MOS 型固体撮像素子 100 についての説明の中で述べた各負荷トランジスタ 35、各 A/D 変換部 40、バッファメモリ部 50、走査部 60 および制御部 70 が、半導体基板 1 の所定箇所に形成されている。

【0172】各光電変換素子 10 以外の領域で無用の光電変換が行われるのを防止するために、光遮蔽膜 80 が設けられている。光遮蔽膜 80 は、光電変換素子 10 それぞれの上方に 1 つずつ、開口部 81 を有する。

【0173】光遮蔽膜 80 は、例えば、アルミニウム、クロム、タンゲステン、チタン、モリブデン等からなる金属薄膜や、これらの金属の 2 種以上からなる合金薄膜、あるいは、前記の金属薄膜同士または前記の金属薄膜と前記の合金薄膜とを組み合わせた多層金属薄膜等に

よって形成される。

【0174】光遮蔽膜 80 とその下（半導体基板 1 側）にある半導体もしくは金属からなる部材とは、電気絶縁層 3 もしくは電気絶縁層 4 または図示されていない電気絶縁層によって絶縁されている。

【0175】平坦化膜 82 が、開口部 81 を介して露出している電気絶縁層 3 および光遮蔽膜 80 を覆っている。平坦化膜 82 は、後述するマイクロレンズ 91 の焦点調節層としても利用される。平坦化膜 82 にインナーレンズを形成することも可能である。

【0176】平坦化膜 82 は、例えばフォトリソ等々の透明樹脂をスピンコート法等の方法によって所望の厚さに塗布することによって形成される。

【0177】色フィルタアレイ 85 が、平坦化膜 82 の上に形成されている。この色フィルタアレイ 85 は、カラー撮像を可能にする複数種の色フィルタを所定のパターンで形成したものである。このような色フィルタアレイとしては、3 原色（赤、緑、青）系の色フィルタアレイ、および、いわゆる補色タイプの色フィルタアレイがある。

【0178】光電変換素子 10 それぞれの上方に 1 個ずつ、所望色の色フィルタが配設されている。本実施例においては、赤色の色フィルタ 86 R と、緑色の色フィルタ 86 G と、青色の色フィルタ 86 B とが所定の配置で配設されている。すなわち、緑色の色フィルタ 86 G のみからなる色フィルタ列と、赤色の色フィルタ 86 R と青色の色フィルタ 86 B とが交互に配置された色フィルタ列とが交互に配置されている。行方向で見ると、緑色の色フィルタ 86 G のみからなる色フィルタ行と、赤色の色フィルタ 86 R と青色の色フィルタ 86 B とが交互に配置された色フィルタ行とが交互に形成されている。個々の色フィルタ列は、光電変換素子列と同じ方向に延在する。

【0179】図 13 (a) は、本実施例で使用されている色フィルタアレイ 85 における色フィルタの配列仕様を示す。図中のアルファベット R、G、B は、個々の色フィルタの色を表している。この色フィルタアレイ 85 は 3 原色系の色フィルタアレイである。

【0180】なお、図 12 においては、赤色の色フィルタ 86 R と青色の色フィルタ 86 B とがみえている。

【0181】色フィルタアレイ 85 は、例えば、フォトリソグラフィ法等の方法によって、所望色の顔料もしくは染料を添加した樹脂（カラーレジスト）の層を所定箇所に形成することによって作製することができる。

【0182】第 2 の平坦化膜 88 が、色フィルタアレイ 85 上に形成されている。第 2 の平坦化膜 88 は、例えばフォトリソ等々の透明樹脂を例えばスピンコート法によって所望の厚さに塗布することによって形成される。

【0183】マイクロレンズアレイ 90 が、第 2 の平坦

化膜 88 の上に形成されている。このマイクロレンズアレイ 90 は、多数個のマイクロレンズ 91 によって構成されている。マイクロレンズ 91 は、光電変換素子 10 それぞれの上方に 1 個ずつ配置される。

【0184】これらのマイクロレンズ 91 は、例えば、屈折率が概ね 1.3 ~ 2.0 の透明樹脂（フォトレジストを含む。）からなる層をフォトリソグラフィ法等によって所定形状に区画した後、熱処理によって各区画の透明樹脂層を溶解させ、表面張力によって角部を丸め込ませた後に冷却することによって得られる。

【0185】図示した MOS 型固体撮像素子 210 は、光遮蔽膜 80 を有しているので、各光電変換素子 10 以外の領域で無用の光電変換が行われるのを防止することができる。色フィルタアレイ 85 を有しているので、カラー画像用のデジタル画像データを得ることができる。マイクロレンズアレイ 90 を有しているので、光利用効率が高い。

【0186】なお、3 原色系の色フィルタアレイに代えて、いわゆる補色系の色フィルタアレイを用いることもできる。補色系の色フィルタアレイは、例えば (i) 緑 (G)、シアン (Cy) および黄 (Ye) の各色フィルタ、(ii) 黄 (Ye)、シアン (Cy) およびマゼンダ (Mg) の各色フィルタ、(iii) シアン (Cy)、緑 (G)、黄 (Ye) およびマゼンダ (Mg) の各色フィルタ、等によって構成することができる。

【0187】図 13 (b) ~ 図 13 (e) は、いわゆる補色系の色フィルタアレイにおける色フィルタの配列仕様の例を示す。

【0188】図 13 (b) は上記 (i) の補色タイプの色フィルタアレイ 87 a における色フィルタの配列仕様の一例を示す平面図であり、図 13 (c) は上記 (ii) の補色タイプの色フィルタアレイ 87 b における色フィルタの配列仕様の一例を示す平面図である。図 13 (d) は上記 (iii) の補色タイプの色フィルタアレイ 87 c における色フィルタの配列仕様の一例を示す平面図であり、図 13 (e) は上記 (iii) の補色タイプの色フィルタアレイ 87 d における色フィルタの配列仕様の他の一例を示す平面図である。図 13 (b) ~ 図 13 (e) のそれぞれにおいても、図中のアルファベット G、Cy、Ye、Mg を囲んでいる各六角形が 1 つの色フィルタを示している。図中のアルファベット G、Cy、Ye、Mg は、個々の色フィルタの色を表している。

【0189】上述した 3 原色系または補色タイプの色フィルタアレイを第 1 の実施例以外の実施例もしくは変形例による MOS 型固体撮像素子に設けることによっても、カラー撮像用の MOS 型固体撮像素子を得ることができる。

【0190】光遮蔽膜およびマイクロレンズアレイは、カラー撮像用の MOS 型固体撮像素子を得るにあたっての必須の構成部材ではない。しかしながら、実用上は、

光遮蔽膜およびマイクロレンズアレイを設けることが好ましい。

【0191】白黒撮像用の MOS 型固体撮像素子を得る場合も、実用上は、光遮蔽膜およびマイクロレンズアレイを設けることが好ましい。

【0192】これまでに説明した実施例またはその変形例による MOS 型固体撮像素子は、いずれも、多数個の光電変換素子が画素ずらし配置されている MOS 型固体撮像素子である。

10 【0193】多数個の光電変換素子を画素ずらし配置した場合、1 つの光電変換素子行は、偶数列の光電変換素子のみ、または、奇数列の光電変換素子のみを含む。

【0194】したがって、光電変換素子列の 2 列に 1 個ずつ A/D 変換部を配設することにより、対応する出力用トランジスタが発生した電気信号を個別に受け、対応するデジタル信号を発生させることができる。

【0195】このとき、第 1 の実施例あるいは第 2 の実施例等を挙げて説明したように、A/D 変換部の総数を光電変換素子列の総数の 1/2 に低下させることができる。すなわち、A/D 変換部の総数を従来の 1/2 に低下させることができる。

20 【0196】その結果として、光電変換素子の実効的集積度を高めた場合であっても、高度な微細加工技術を用いることなく A/D 変換部を形成することが可能になる。これに伴って、製造コストを抑制することが可能になる。

【0197】以上、実施例またはその変形例による MOS 型固体撮像素子について説明したが、本発明は上述した実施例もしくは変形例に限定されるものではない。種々の変更、改良、組み合わせ等が可能なことは当業者に自明である。

30 【0198】

【発明の効果】上述したように、本発明によれば、A/D 変換部を内蔵した MOS 型固体撮像素子の製造コストの増大を抑制しつつ光電変換素子の集積度を向上させることが可能になる。

【図面の簡単な説明】

【図 1】図 1 (a) は、第 1 の実施例による MOS 型固体撮像素子を模式的に示す平面図であり、図 1 (b) は、スイッチング回路部の 1 個を示す概念図である。

40 【図 2】第 1 の実施例による MOS 型固体撮像素子において光電変換素子に付設されるスイッチング回路部の一例を概略的に示す等価回路図である。

【図 3】第 1 の実施例による MOS 型固体撮像素子を構成する光電変換素子と当該光電変換素子に付設されるスイッチング回路部との平面配置の一例を示す概略図である。

【図 4】第 1 の実施例による MOS 型固体撮像素子における A/D 変換部の 1 個、および、バッファメモリ部の一部を示す概略図である。

【図5】第1の実施例によるMOS型固体撮像素子の動作に使用される各種の信号パルスの供給時期の一例を示すタイミング図である。

【図6】第1の実施例の変形例によるMOS型固体撮像素子において光電変換素子に付設されるスイッチング回路部の一列を概略的に示す等価回路図である。

【図7】第1の実施例の他の変形例によるMOS型固体撮像素子において光電変換素子に付設されるスイッチング回路部の一列を概略的に示す等価回路図である。

【図8】図8(a)は、第1の実施例の更に他の変形例によるMOS型固体撮像素子において光電変換素子に付設されるスイッチング回路部の一列を概略的に示す等価回路図であり、図8(b)は、第1の実施例の更に他の変形例によるMOS型固体撮像素子において光電変換素子に付設されるスイッチング回路部の一列を概略的に示す等価回路図である。

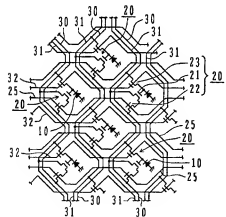
【図9】第2の実施例によるMOS型固体撮像素子を模式的に示す平面図である。

【図10】第2の実施例によるMOS型固体撮像素子において光電変換素子に付設されるスイッチング回路部の一列を概略的に示す等価回路図である。

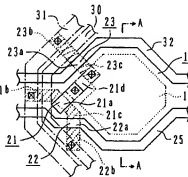
【図11】第2の実施例の変形例によるMOS型固体撮像素子において光電変換素子に付設されるスイッチング回路部の一列を概略的に示す等価回路図である。

【図12】第3の実施例によるMOS型固体撮像素子を概略的に示す断面図である。

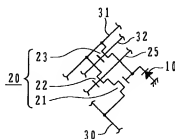
【図2】



【図3】



【図7】

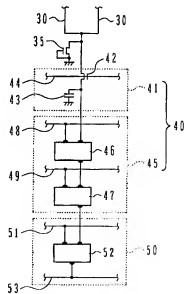


【図13】図13(a)は3原色系の色フィルタレイにおける色フィルタの配列仕様の一例を示す平面図であり、図13(b)、図13(c)、図13(d)および図13(e)は、それぞれ、補色タイプの色フィルタレイにおける色フィルタの配列仕様の一例を示す平面図である。

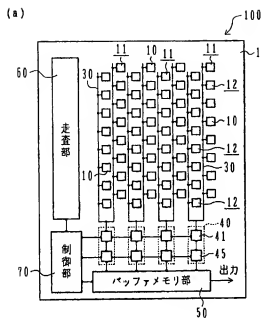
【符号の説明】

1…半導体基板、10…光電変換素子、11…光電変換素子列、12…光電変換素子行、20、20a…スイッチング回路部、21…出力用トランジスタ、22…行選択用トランジスタ、23…リセットトランジスタ、24…転送用トランジスタ、25…行選択用信号配線、30…出力用信号線、31…電源電圧供給配線、32…リセット信号供給配線、33…転送信号供給配線、40…A/D変換部、41…サンプル/ホールド回路部、43…キャパシタ(コンデンサ)、45…A/Dコンバータ、46…比較器、47…ラッチ回路、50…バッファメモリ部、60…走査部、70…制御部、80…光遮蔽膜、85、87a、87b、87c、87d…色フィルタレイ、86R…赤色の色フィルタ、86B…青色の色フィルタ、90…マイクロレンズレイ、91…マイクロレンズ、100、100a、100b、100c、100d、200、200a、210…MOS型固体撮像素子。

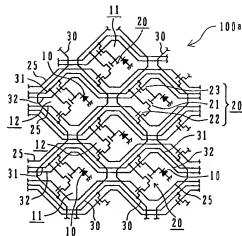
【図4】



【図1】

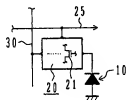


【図6】

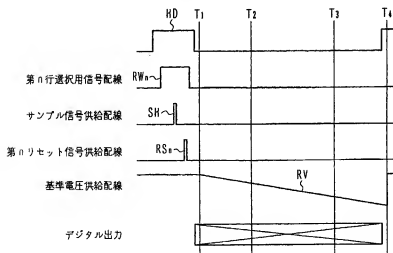


【図10】

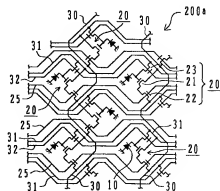
(b)



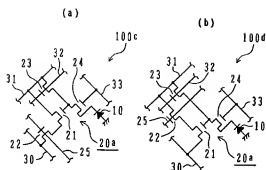
【図5】



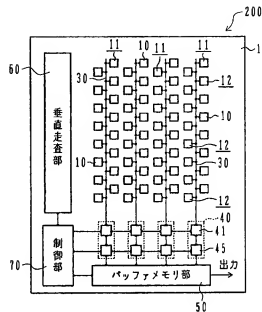
【図11】



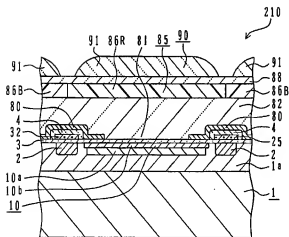
【図8】



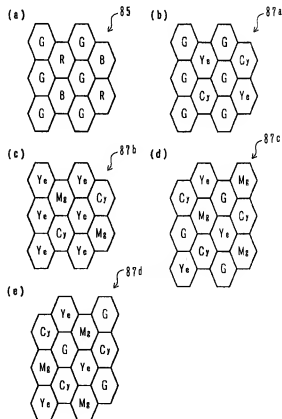
【図9】



【図12】



【図13】



フロントページの続き

(72)発明者 益金 和行

宮城県黒川郡大和町松坂平 1 丁目 6 番地

富士フイルムマイクロデバイス株式会社内

F ターム(参考) 4M118 AA10 AB01 BA14 CA02 CA20

CA40 CB14 DB09 DD12 FA01

FA06 FA50 GB11 GC08 GC09

GC14

5C024 CY33 GX02 GY31 HX13 HX23

5F049 MA02 MB02 NB05 RA03 RA08

RA10 SS03 SZ10 TA12 TA13